

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-18018

(43) 公開日 平成8年(1996)1月19日

(51) Int.Cl.^{*}
H 01 L 27/115
G 11 C 16/06

識別記号 庁内整理番号

F I

技术表示简所

H 0 1 L 27/ 10 4 3 4
G 1 1 C 17/ 00 3 0 9 Z
5 1 0 C

審査請求 未請求 請求項の数 5 OL (全 15 頁)

(21)出願番号 特願平6-147671
(22)出願日 平成6年(1994)6月29日

(71) 出願人 000003078
株式会社東芝
神奈川県川崎市幸区坂川町72番地

(72) 発明者 作井 康司
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 竹内 健
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 大内 和則
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(74) 代理人 弁理士 鈴江 武彦

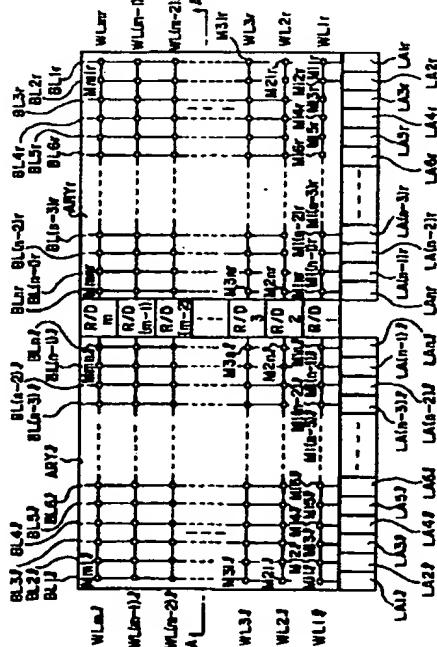
最終頁に貌く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【目的】 書込み確認読出し動作や書込みパルスの立上げ、立下げ、消去確認読出し動作や消去パルスの立上げ、立下げを高速化させ、高速書込み、高速消去を可能としたEEPROMを提供すること。

【構成】 電気的書換え可能な不揮発性メモリセルを用いたEEPROMにおいて、同一チップ上に形成された不揮発性メモリセルのアレイを2つに分割し、分割した各々のサブアレイARY1, ARYrで、同一ワード線に接続されたメモリセルに対して同時にデータ書き込みを行い、かつ一方のサブアレイでデータ書き込み動作を行っている間に、他方のサブアレイで書き込み確認読み出し動作を行うことを特徴とする。



FH 008950

1

【特許請求の範囲】

【請求項 1】同一チップ上に形成された不揮発性メモリセルのアレイを複数に分割し、分割した複数のサブアレイの少なくとも 2つで同時にデータ書き込み又は消去を行い、かつ任意のサブアレイのデータ書き込み又は消去のタイミングに対し、別のサブアレイのデータ書き込み又は消去のタイミングをずらすようにしたことを特徴とする不揮発性半導体記憶装置。

【請求項 2】同一チップ上に形成された不揮発性メモリセルのアレイを 2つに分割し、分割した各々のサブアレイで同時にデータ書き込み又は消去を行い、かつ一方のサブアレイのデータ書き込み又は消去のタイミングに対し、他方のサブアレイのデータ書き込み又は消去のタイミングをずらすようにしたことを特徴とする不揮発性半導体記憶装置。

【請求項 3】データ書き込み又は消去は、データ書き込み動作又は消去動作とこれに続く書き込み確認読出し動作又は消去確認読出し動作の複数回からなり、任意のサブアレイにデータ書き込み動作又は消去動作を行っている間に、別のサブアレイで書き込み確認読出し動作又は消去確認読出し動作を行うことを特徴とする請求項 1 又は 2 に記載の不揮発性半導体記憶装置。

【請求項 4】複数のサブアレイはワード線を共有し、異なるサブアレイの同一ワード線に接続されるメモリセルに対してデータ書き込み又は消去を同時に行うこととする請求項 1 又は 2 に記載の不揮発性半導体記憶装置。

【請求項 5】アレイを構成する不揮発性半導体メモリセルは、電気的書替え可能な不揮発性メモリセルであって、複数個ずつ直列接続されて N A N D セルを構成していることを特徴とする請求項 1 又は 2 に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【産業上の利用分野】本発明は、電気的書替え可能な不揮発性半導体記憶装置に係わり、特にアレイ分割を行った不揮発性半導体記憶装置に関する。

【0 0 0 2】

【従来の技術】書替え可能な不揮発性半導体記憶装置として、従来より、電気的書替えを可能とした E E P R O M が知られている。なかでも、メモリセルを複数個直列接続して N A N D セルブロックを構成する N A N D 型 E E P R O M は高集積化ができるものとして注目されている。

【0 0 0 3】N A N D 型 E E P R O M の一つのメモリセルは、半導体基板上に絶縁膜を介して浮遊ゲートと制御ゲートが積層された F E T M O S 構造を有し、複数個のメモリセルが隣接するもの同士でソース、ドRAINを共用する形で直列接続されて N A N D セルを構成する。このような N A N D セルがマトリクス配列されてメモリセルアレイが構成される。

2

【0 0 0 4】メモリセルアレイの列方向に並ぶ N A N D セルの一端側のドレインは、それぞれ選択ゲートトランジスタを介してビット線に共通接続され、他端側ソースはやはり選択ゲートトランジスタを介して共通ソース線に接続されている。メモリトランジスタの制御ゲート及び選択ゲートトランジスタのゲート電極は、メモリセルアレイの行方向にそれぞれ制御ゲート線（ワード線）、選択ゲート線として共通接続される。

【0 0 0 5】この N A N D 型 E E P R O M の動作は次の通りである。データ書き込みは、ビット線から遠い方のメモリセルから順に行われる。トランジスタが n チャネルの場合を説明すれば、選択されたメモリセルの制御ゲートには高電位（例えば 20 V）が印加され、これよりビット線側にある非選択のメモリセルの制御ゲート及び選択ゲートトランジスタのゲートには中間電位（例えば 10 V）が印加される。ビット線には、データに応じて 0 V（例えば “1” データと定義される）、又は中間電位（例えば “0” データと定義される）が印加される。このときビット線の電位は、選択ゲートトランジスタ及び非選択メモリセルを通して選択メモリセルのドレインまで伝達される。

【0 0 0 6】書き込むべきデータがあるとき（“1” データのとき）は、選択メモリセルのゲート・ドレイン間あるいはゲート・基板間に高電界がかかり、基板から浮遊ゲートに電子がトンネル注入される。これにより、選択メモリセルのしきい値は正方向に移動する。書き込むべきデータがないとき（“0” データのとき）は、しきい値変化はない。

【0 0 0 7】データ消去の際は、p 型基板（ウェル構造の場合は n 型基板及びこれに形成された p 型ウェル）に高電位が印加され、全てのメモリセルの制御ゲート及び選択ゲートトランジスタのゲートが 0 V とされる。これにより、全てのメモリセルにおいて浮遊ゲートの電子が基板に放出され、しきい値が負方向に移動する。

【0 0 0 8】データ読出しの際は、選択ゲートトランジスタ及び選択メモリセルよりビット線側の非選択メモリセルがオンとされ、選択メモリセルのゲートに 0 V が与えられる。この時にビット線に流れる電流を読むことにより、“0”, “1” のデータの判別がなされる。

【0 0 0 9】このような従来の N A N D 型 E E P R O M では、通常、書き込み動作及び消去動作の後に書き込み確認読出し動作及び消去確認読出し動作という、いわゆるベリファイ動作がそれぞれ行われる。例えば、16 M ピット N A N D 型 E E P R O M の書き込み動作の場合、複数回の書き込みパルスを選択メモリセルの制御ゲートに入力し、各書き込みパルス毎に書き込み確認読出し動作を行っている。

【0 0 1 0】具体的には、前述したように書き込み動作時には、高電位（例えば 20 V）及び中間電位（例えば 10 V）が必要であり、それらをチップ内の昇圧回路で発

生させるが、その高電位及び中間電位のパルスの立上げ、立下げに $2.5 \mu s$ かかる。また、書き込み動作時に選択メモリセルのしきい値電圧は正方向に移動するが、しきい値電圧が目標の電圧領域内に入ったか否かの判定、即ち書き込み確認読出し動作を行うためには、ビット線の予備充電から始まり、制御ゲート線の選択、センサアンプ動作と、ランダム読出し動作と等価な一連の読出し動作が必要であり、これに要する時間が $2.5 \mu s$ かかる。

【0011】そして、書き込みパルスの時間幅が $2.0 \mu s$ に設定され、6回のパルスで書き込みが行われた場合、それに必要な時間は、

$$(2.5 + 2.0 + 2.5) \times 6 = 42.0 \mu s$$

となる。従って、全書き込み時間の 71% の $3.00 \mu s$ は、高電位及び中間電位の立上げ、立下げと書き込み確認読出し動作に費やされ、残りの僅か 29% の $1.20 \mu s$ が実際の書き込みパルスの合計時間となる。また、16M ビット NAND 型 EEPROM の消去動作の場合もやはり、大半を消去パルスの発生及び消去確認読出し動作に費やされる。

【0012】例えば、多数ブロック消去（マルチブロックイレーズ）の際、1ブロック、即ち 1 NAND ブロック 512 バイト (4 Kbit) を最小単位とし、最大 512 バイト NAND ブロックの同時消去が行われる。この消去確認読出し動作は、消去後の選択メモリセルのしきい値電圧は負方向に移動するため、しきい値電圧が目標の負電圧領域内に入ったか否かの判定に関して、書き込み確認読出し動作よりも短時間に行える。それは、消去後のしきい値電圧が $0V$ 以下になったか否かの判定の方が、書き込み後のしきい値電圧が例え $0.5V$ から $3V$ の範囲内に入ったか否かの判定よりもメモリセル電流が大きくなり、それだけ予備充電したビット線を高速に放電できるためである。

【0013】しかしながら、消去確認読出し動作においても、最初ビット線の予備充電が必要であり、次に消去されたNAND ブロック内の制御ゲート線を選択し、センサアンプを動作させる。各消去されたNAND ブロック内では、制御ゲート線を全て選択するという点で通常のランダム読出し動作と異なるが、この消去確認読出し動作は、ランダム読出し動作とほぼ等価であり、1 NAND ブロックの消去確認読出し動作に約 $1.5 \mu s$ 費やされる。

【0014】従って、512 NAND ブロック全てのマルチブロックイレーズに必要な時間は、 $512 \text{ NAND アドレスのロード} \times 200 \text{ ns} \times 512$ 、消去パルスの立上げ、立下げに $2.00 \mu s$ 、消去パルスの時間幅に 3 ms 、消去確認読出し動作に $1.5 \mu s \times 512$ で、合計で 8 ms となり、その 63% の 5 ms が実際の消去動作以外の消去確認読出し動作に費やされる。

【0015】このような書き込み確認読出し動作及び消去確認読出し動作は、NAND 型 EEPROM に限らず、

従来の NOR 型 EEPROM でも行われている必要不可欠な動作モードである。そして、書き込み動作や書き込みパルスの立上げ、立下げが全書き込み時間に占める割合、消去確認読出し動作や消去パルスの立上げ、立下げが全消去時間に占める割合が非常に大きく、これによって、書き込み時間及び消去時間が長くなることが NAND 型 EEPROM のみならず NOR 型 EEPROM においても問題になっている。

【0016】また、書き込み確認読出し動作や書き込みパルスの立上げ、立下げが、全書き込み時間に占める割合、消去確認読出し動作や消去パルスの立上げ、立下げが全消去時間に占める割合は、NAND 型 EEPROM 及び NOR 型 EEPROM が大容量化する程より増加していく。それは、大容量化していくに従って制御ゲート線の配線抵抗や容量、さらにビット線の配線抵抗や容量、メモリセルのウェル部の容量が増大するため、制御ゲート線及びビット線の充放電時間が長くなり書き込み確認読出し及び消去確認読出しが遅くなるからである。さらに、制御ゲート線、ビット線及びメモリセルのウェル部の容量が増大するため、書き込みパルス及び消去パルスの立上げ、立下げの時間が増大するからである。

【0017】
【発明が解決しようとする課題】以上のように従来の NAND 型 EEPROM 及び NOR 型 EEPROM では、全書き込み時間（又は全消去時間）において、書き込み確認読出し動作（又は消去確認読出し動作）や書き込みパルス（又は消去パルス）の立上げ、立下げに必要な時間が占める割合が大きくなり、結果として書き込み及び消去の高速性が損われるという問題があった。また、この問題は、NAND 型 EEPROM 及び NOR 型 EEPROM を大容量化する程、より顕著になった。

【0018】本発明は、上記事情を考慮してなされたもので、その目的とするところは、書き込み確認読出し動作や書き込みパルスの立上げ、立下げ、消去確認読出し動作や消去パルスの立上げ、立下げを高速化させ、結果的に高速書き込み、高速消去を可能とした不揮発性半導体記憶装置を提供することにある。

【0019】
【課題を解決するための手段】上記課題を解決するため
40 に本発明は、次のような構成を採用している。即ち本発明は、書き込み可能な不揮発性メモリセルを用いた不揮発性半導体記憶装置において、同一チップ上に形成された不揮発性メモリセルのアレイを複数に分割し、分割した複数のサブアレイの少なくとも 2 つで同時にデータ書き込み又は消去を行い、かつ任意のサブアレイのデータ書き込み又は消去のタイミングに対し、別のサブアレイのデータ書き込み又は消去のタイミングをずらすようにしたことなどを特徴とする。

【0020】ここで、本発明の望ましい実施態様として
50 は、次のものがあげられる。

- (1) アレイを2つに分割し、分割した各々のサブアレイで同時にデータ書込み又は消去を行い、かつ一方のサブアレイのデータ書込み又は消去のタイミングに対し、他方のサブアレイのデータ書込み又は消去のタイミングをずらすようにしたこと。
- (2) データ書込み又は消去は、データ書込動作又は消去動作とこれに続く書込み確認読出し動作又は消去確認読出し動作の複数回からなり、一方のサブアレイにデータ書込み動作又は消去動作を行っている間に、他方のサブアレイで書込み確認読出し動作又は消去確認読出し動作を行うこと。
- (3) 一方のサブアレイで最初のデータ書込み動作を開始し、データ書込み動作が終了した後にこれに続く書込み確認読出し動作を開始すると同時に、他方のサブアレイで最初のデータ書込み動作を開始し、データ書込み動作が終了した後にこれに続く書込み確認読出し動作を開始すると同時に、一方のサブアレイで次のデータ書込み動作を開始すること。
- (4) 書込み動作又は消去動作に要する時間が書込み確認読出し動作又は消去確認読出し動作に要する時間よりも長い場合、一方のサブアレイの書込み確認読出し動作の終了後、他方のサブアレイの書込み動作が終了する間まで待ち、一方のサブアレイの書込み動作及び他方のサブアレイの書込み確認読出し動作を同時に開始すること。
- (5) 書込み確認読出し動作又は消去確認読出し動作に要する時間が書込み動作又は消去動作に要する時間よりも長い場合、一方のサブアレイの書込み動作の終了後、他方のサブアレイの書込み確認読出し動作が終了する間まで待ち、一方のサブアレイの書込み確認読出し動作及び他方のサブアレイの書込み動作を同時に開始すること。
- (6) 異なるサブアレイの異なるワード線に接続されるメモリセルに対してデータ書込み又は消去を同時に行うこと。
- (7) 複数のサブアレイはワード線を共有し、異なるサブアレイの同一ワード線に接続されるメモリセルに対してデータ書込み又は消去を同時にすること。
- (8) アレイを構成する不揮発性半導体メモリセルは、電気的書替え可能な不揮発性メモリセルであって、これを複数個ずつ直列接続されてNANDセルを構成していること。
- 【0021】**
- 【作用】本発明によれば、メモリセルアレイを少なくとも2つに分割し、分割したあるサブアレイ内の一部のメモリセルで選択的に書込み動作若しくは消去動作している間に、別のサブアレイの一部のメモリセルで選択的に書込み確認読出し動作若しくは消去確認読出し動作を行い、アレイ分割したことによる制御ゲート線、ビット線の容量及び抵抗の減少と、書込み動作若しくは消去動作と書込み確認読出し動作若しくは消去確認読出し動作を同時に、各サブアレイで交互に行うことにより、

確認読出し動作を含めた合計の書き込み、消去時間を短縮させることができる。

【0022】例えば、16MビットNAND型EEPROMのメモリセルアレイをA、Bの2つに分割し、サブアレイAとサブアレイBことで、書き込み動作及び書き込み確認読出し動作を同時にかつ交互に行った場合、書き込み用の高電位及び中間電位のパルスの立上げ、立下げが1.5μs、書き込み確認読出し動作が1.5μsに短縮される。それは、メモリセルアレイを2分割したことにより、制御ゲートの抵抗及び容量が共に半減したことと、予備充電すべきビット線の本数が半減したことによる。

【0023】従って、書き込みパルスの時間幅が2.0μsに設定され、6回のパルスで書き込みが行われた場合、それに必要な時間は、

(1.2. 5 + 2.0 + 1.5) × 6 + 1.5 = 30.0 μsとなり、従来よりも大幅に短縮化される。なお、上式の左辺第2項で1.5μsを加えているのは、サブアレイAとサブアレイBことで、書き込み動作と書き込み確認読出し動作の位相がずれており、6回目の書き込み確認読出し動作を最後にサブアレイA若しくはサブアレイBで行うためである。

【0024】また、消去に関しても同様に高速化され、512NANDブロック全てのマルチブロックイレイズに必要な時間は、512NANDアドレスのロードに2.00ns × 512、消去パルスの立上げ、立下げに1.00μs、消去パルスの時間幅に3ms、消去確認読出しに5μs × 512で合計で約5.76msとなり、従来よりも大幅に短縮化される。従って本発明によれば、高速の書き込み、消去が可能となる。

【0025】

【実施例】以下、本発明の実施例を図面を参照して説明する。

(実施例1) 図1は、本発明の第1の実施例に係る不揮発性半導体記憶装置のプロック構成図である。図1において、M11l～Mmnl、M11r～Mmrはメモリセル、L A1l～L Anl、L A1r～L Anrはセンスアンプ兼データラッチ回路、R/D1～R/Dnはロウデコーダ回路、WL1l～WLml、WL1r～WLnrはワード線、ARY1、ARYrはメモリセルアレイを分割してなるサブアレイである。

【0026】本発明の主旨は、同一チップ上に形成されたメモリセルアレイを少なくとも2つに分割して、サブアレイARY1が書き込み動作中にサブアレイARYrで書き込み確認読出し動作を行い、サブアレイARY1が書き込み確認読出し動作中にサブアレイARYrで書き込み動作を行うことである。

【0027】例えば、ワード線WL2lが選択された場合を考える。この場合、ロウデコーダR/D1～R/Dnは入力アドレス及び制御回路によって、ロウデコーダを

50 挟んだ左右のサブアレイARY1、ARYrに関してワ

ード線WL2lとWL2rとを同時に選択することもできるし、ワード線WL2lとWL2rとを独立に選択することもできる。ここでは、サブアレイARY1内のワード線WL2lとサブアレイARYr内のワード線WL2rとを同時に選択する場合について説明する。

【0028】まず、ワード線WL2lとWL2rを選択するためのロウアドレスが入力される。次いで、書込むべきデータがセンスアンプ兼データラッチ回路にLA11から順次ページロードされていく。そして、ちょうどLAnlまでロードされると、次にワード線WL2lが選択され、メモリセルM21l～M2nlにピット線BL1l～BLnlを介してセンスアンプ兼データラッチ回路LA11～LAnlにロードされたデータが書き込まれ始める。

【0029】書き込むべきデータは、センスアンプ兼データラッチ回路LAnlにロード後も、引き続きLA1rlからLAnrlまで、ページロードが行われている。そして、LAnrlまでロードされると、ワード線WL2rが選択され、メモリセルM21r～M2nrにピット線BL1r～BLnrを介して、センスアンプ兼データラッチ回路LA1rl～LAnrlにロードされたデータが書き込まれ始める。

【0030】サブアレイARYrのワード線WL2rに関する書き込み動作と時間的に並列して、サブアレイARY1のワード線WL2lに関して、書き込み確認読出し動作が行われる。この書き込み確認読出し動作は、ワード線WL2lに関して、一定時間の書き込みパルス印加後に行われ、書き込まれたメモリセルのしきい値電圧が目標の値に達したか否かを判定する。

【0031】この判定には、各々のピット線に設けられたピット毎ペリファイ回路が用いられ、再度書き込み必要なメモリセルに接続するピット線のセンスアンプ兼データラッチ回路には、再度書き込みが行えるようにデータが格納される。従って、ピット毎ペリファイ回路を用いて、再度書き込みが必要なメモリセルに関するセンスアンプ兼データラッチ回路には、それに応じたデータが格納されるという点で、通常の読出し動作とは異なるが、それ以外の動作は通常の読出し動作と全て同じである。

【0032】即ち、ワード線WL2lに関して、一定時間の書き込みパルスを印加後にワード線WL2lは一時的に非選択状態になり、次にピット線BL1l～BLnlが予備充電される。次に再びワード線WL2lが選択される。しかし、この時選択されたワード線に印加される電圧は書き込み時と読出し時とは異なる。そして、メモリセルM21l～M2nlのデータがピット線BL1l～BLnlに読出され、センスアンプ兼データラッチ回路、及びそれに接続されたピット毎ペリファイ回路により、判定後再度書き込みが必要なピットに関しては、そのデータがセンスアンプ兼データラッチ回路LA1l～LAnlに格納される。

【0033】以上のような動作がサブアレイARY1内のワード線WL2lとサブアレイARYr内のワード線WL2rに関して交互に繰り返し行われる。即ち、ワード

線WL2rに関して書き込み動作が行われている間に、ワード線WL2lに関して書き込み確認読出し動作が行われ、その後にワード線WL2lに関して書き込み動作が行われている間に、ワード線WL2rに関して書き込み確認読出し動作が行われる。そして、選択されたメモリセルM21l～M2nl及びM21r～M2nrのうち、書き込みが行われるメモリセルのしきい値電圧が全て目標の値に達した時に、全体の書き込み動作が終了する。

【0034】この様子を図2に示す。図2(a)は、書き込み動作に要する時間と書き込み確認読出し動作(ペリファイ)に要する時間とが等しい場合であり、サブアレイARY1で最初のデータ書き込み動作を開始し、データ書き込み動作が終了した後にこれに続く書き込み確認読出し動作を開始すると同時に、サブアレイARYrで最初のデータ書き込み動作を開始する。そして、サブアレイARYrでデータ書き込み動作が終了した後にこれに続く書き込み確認読出し動作を開始すると同時に、サブアレイARY1で次のデータ書き込み動作を開始する。つまり、サブアレイARY1, ARYrで書き込み動作と書き込み確認読出し動作とのタイミングが完全に逆になっている。

【0035】図2(b)は、書き込み動作に要する時間と書き込み確認読出し動作に要する時間とが異なる(例えば、書き込み動作時間の方が長い)場合である。この場合、サブアレイARY1では、書き込み確認読出し動作が終了してもサブアレイARYrの書き込み動作が終了するまで、次の書き込み動作を開始するのを待つ。サブアレイARYrでも同様である。

【0036】このようにすれば、書き込み確認読出し動作から次の書き込み動作に移るまでの待ち時間が無駄になるが、サブアレイARY1, ARYrが同時に書き込み動作となることがない。書き込み動作ではワード線の昇圧が必要となり、両方のワード線で同時に昇圧が必要なことは昇圧回路の負担増につながるが、図2(b)のようにすればこの問題を回避することができる。

【0037】書き込み動作時間の方が短い場合は、図2(b)とは逆に、一方の書き込み動作が終了しても他方の書き込み確認読出し動作が終了するまで、書き込み確認読出し動作を開始するのを待つようにすればよい。また、昇圧回路の負担が増えても問題とならない場合には、図2(c)に示すように待ち時間をなくして、データ書き込みをより高速化することができる。

【0038】次に、サブアレイARY1が消去動作中にサブアレイARYrが消去確認読出し動作を行う場合について説明する。図3は、図1に示した不揮発性半導体記憶装置の矢視A-A'断面図である。例えば、n型半導体基板10(n-sub)表面に、サブアレイARY1, ARYr用のp型ウェル11, 12(cell p-well, cell p-wellr)と、メモリセル以外のロウデコーダ、センスアンプ兼データラッチ回路及び周辺回路用のp型ウェル14(周辺p-well)が形成されている場合について説

明する。周辺 p 型ウェル 14 内に、周辺回路を CMOS で構成するための n 型ウェル 15 (n-well) を設けてよい。

【0039】また、図 4 は p 型半導体基板を用いた場合の断面図である。p 型半導体基板 20 (p-sub) 表面に、サブアレイ A R Y1, A R Yr 用の n 型ウェル 21, 22 (cell n-well1, cell n-wellr) と、それぞれの n 型ウェル内に p 型ウェル 23, 24 (cell p-well1, cell p-wellr) と、メモリセル以外のロウデコダ、センスアンプ兼データラッチ回路及び周辺回路用の p 型ウェル 25 (周辺 p-well) が形成されている場合について説明する。また、周辺回路を CMOS で構成するための n 型ウェル 26 (n-well) を設けてよい。

【0040】このような p 型半導体基板の場合、消去動作時に p 型半導体基板 20 は高電圧にならざるに、消去動作を行うサブアレイ間の n 型ウェル若しくは 22 と、p 型ウェル 23 若しくは 24 が高電圧になる。

【0041】ここでは、サブアレイ A R Y1 内のワード線 WL(m-1)r と WLmr 以外の WL11~WL(m-2)r と、サブアレイ内 A R Yr 内のワード線 WL(m-1)r と WLmr 以外の WL1r~WL(m-2)r とに関してプロック消去動作が行われる場合を考える。この場合、まずサブアレイ A R Y1 の消去動作から始まり、n 型半導体基板 10 とサブアレイ A R Y1 用の p 型ウェル 11 及び消去を行わないメモリセルのワード線、即ち WL(m-1)r と WLmr が高電圧になり、選択ワード線 WL11~WL(m-2)r が接地され、メモリセル M11r ~ M(m-2)nr が消去され、それらのしきい値電圧が負方向にシフトする。

【0042】この間は、サブアレイ A R Yr では、消去動作をせずに読出し動作が行われていてよい。サブアレイ A R Y1 内の消去動作が始まり、ある特定時間経過後、サブアレイ A R Y1 内では消去確認読出し動作が行われる。即ち、ビット線 B L11~B Lnr が予備充電され、消去を行ったメモリセルのワード線 WL1r から WL(m-2)r まで、順次消去確認読出し動作が繰り返し行われる。このサブアレイ A R Y1 内の消去確認読出し動作と時間的に並列にサブアレイ A R Yr 内では、消去動作が行われる。即ち、n 型半導体基板 10 とサブアレイ A R Yr 用の p 型ウェル 12 及び消去を行わないメモリセルのワード線、即ち WL(m-1)r と WLmr が高電圧になり、選択ワード線 WL1r~WL(m-2)r が接地され、メモリセル M11r ~ M(m-2)nr が接地され、サブアレイ M11r ~ M(m-2)nr が消去され、それらのしきい値電圧が負方向にシフトする。

【0043】サブアレイ A R Y1 内の消去確認読出し動作で、消去が不十分なことが判明すれば、サブアレイ A R Yr 内の消去動作後、サブアレイ A R Y1 内の消去動作が再び始まる。この場合、消去が不十分なメモリセルのワード線についてのみ消去動作を行うことができる。これと時間的に並列にサブアレイ A R Yr 内では消去確

認読出し動作が行われる。

【0044】以上のような消去動作及び消去確認読出し動作がサブアレイ A R Y1 内と A R Yr 内とで交互に繰り返し行われ、選択されたメモリセル M11r ~ M(m-2)nr 1 と M11r ~ M(m-2)nr のしきい値電圧が全て目標の値以下になった時、全体の消去動作が終了する。

【0045】このように本実施例によれば、メモリセルアレイを 2 つのサブアレイ A R Y1 と A R Yr に分割し、一方のサブアレイで選択的に書き込み動作若しくは消去動作している間に、他方のサブアレイで選択的に書き込み確認読出し動作若しくは消去確認読出し動作を同時に実行している。そして、アレイ分割したことによる制御ゲート線、ピット線の容量及び抵抗の減少と、書き込み動作若しくは消去動作と書き込み確認読出し動作若しくは消去確認読出し動作を同時に、各サブアレイで交互に行うことによって、確認読出し動作を含めた合計の書き込み、消去時間を短縮させることができる。

【0046】つまり、書き込み確認読出し動作や書き込みパルスの立上げ、立下げ、消去確認読出し動作や消去パルスの立上げ、立下げを高速化させ、これにより高速書き込み、高速消去を実現することができる。また、本発明によれば、データの書き換え（消去してから書き込みを行うこと）が短時間に行うことができ、SSF（ソリッドステートファイル）としての役目を十分に果たすだけではなく、出荷前のテスト時間が大幅に削減され、コストの低下につながる。

（実施例 2）次に、本発明を NAND 型 EEPROM に適用した実施例について説明する。基本的な構成は前記図 1 と同様であるが、本実施例ではメモリセルアレイを NAND セルで構成している。

【0047】図 5～図 7 は、サブアレイ A R Y1 内の NAND 型メモリセルアレイのレイアウト図で、図 8～図 10 はサブアレイ A R Yr 内の NAND 型メモリセルアレイのレイアウト図である。各サブアレイ中のメモリセルは、半導体基板上に絶縁膜を介して浮遊ゲートと制御ゲートが積層された FET MOS 構造を有し、8 個のメモリセルが隣接するもの同士でソース、ドレインを共用する形で直列接続されて NAND セルを構成する。このような NAND セルがマトリクス配列されてメモリセルアレイが構成される。

【0048】メモリセルアレイの列方向に並ぶ NAND セルの一端側のドレインは、それぞれ選択ゲートトランジスタを介してビット線に共通接続され、他端側ソースはやはり選択ゲートトランジスタを介して共通ソース線に接続されている。メモリトランジスタの制御ゲート及び選択ゲートトランジスタのゲート電極は、メモリセルアレイの行方向にそれぞれ制御ゲート線（ワード線）、選択ゲート線として共通接続される。

【0049】図 11 は、センスアンプ兼データラッチ回路、ピット毎ペリファイ回路、一括検知回路、プリチャ

11

ージ回路等、カラム系のコア部のサブアレイ A R Y₁ 側の回路図で、図 12 はサブアレイ A R Y_r 側のロウデコーダ回路図である。これらの回路は、本発明と直接関係するものではなく、従来装置と同様である。

【0050】例えば、サブアレイ A R Y₁ 内のワード線 WL111 とサブアレイ A R Y_r 内のワード線 WL11r に関して、書き込み動作と書き込み確認読出し動作とが時間的に並列して交互に行われる場合について説明する。

【0051】図 13～図 15 は主要ノードの前半の動作タイミング図であり、図 16～図 18 は主要ノードの後半の動作タイミング図である。チップイネーブル/C E 及びライトイネーブル/W E が、“H” レベルから

“L” レベルになって、書き込み動作が開始される。この場合、チップ外部から入出力ピン I/O ピンに書き込み用のコマンドを取り入れることにより、書き込み動作を開始してもよい。

【0052】最初は、入出力バッファから入出力線 I/O, I/OB を介して、サブアレイ A R Y₁ 用のセンスアンプ兼データラッチ回路 L A11～L A n1 にデータが書き込まれる。これは、図 14 に示すようチップ内のカラムアドレスカウンタから発生されるカラムアドレス、若しくは外部から入力されるカラムアドレスに従って、カラム選択信号 C S L11, C S L21, …, C S L(n-1)1, C S L n1 が順次 “H” レベルになることで、これに同期してシリアルデータが順次センスアンプ兼データラッチ回路に書き込まれる。

【0053】このセンスアンプ兼データラッチ回路へのデータの書き込みの間、サブアレイ A R Y₁ 用の書き込み予備充電制御信号 B L C U1 が Vss から V H + a になり、サブアレイ A R Y₁ の全ビット線 B L11～B L n1 は Vcc より高い中間電位 V H にプリチャージ（予備充電）される。

【0054】サブアレイ A R Y₁ に関して、最後の n 番目のセンスアンプ兼データラッチ回路 L A n1 にデータが書き込まれた後、書き込み制御信号 B L C D1 が Vss から V H + a になり、センスアンプ兼データラッチ回路に書き込まれているデータに応じて、ビット線が放電される。即ち、書き込みを行うメモリセルのビット線は Vss (“1” データの場合) になり、書き込みを行わないビット線は中間電位 V H (“0” データの場合) に保たれる。

【0055】その後、選択されたワード線 WL111 が Vss から書き込み電位 V pp になり、その他のワード線 WL121～WL181 及びビット線コンタクト側の選択ゲート線 S G D11 が Vss から V H + a になる。このとき、Vss になっているビット線に接続されたメモリセルで浮遊ゲートに電子注入 (“1” 書込み) が行われる。

【0056】次いで、サブアレイ A R Y₁ では、書き込み確認読出しが行われる。即ち、ビット線はビット線リセット信号 P R S T D1 が Vss から Vcc になり、Vss にリセットされ、続いてビット線プリチャージ信号 P R E B

12

I が Vcc から Vss になり、ビット線 B L11～B L n1 は読み出し用の予備充電電位 V R まで充電される。

【0057】その後、選択されたワード線 WL111 は Vss を保ち、同一 N A N D 型セルブロックのその他のワード線 WL121～WL181 及び、ビット線コンタクト側とメモリセルソース線側の選択ゲート線 S G D11, S G S 11 が Vss から Vcc になる。この場合、WL121～WL181, S G D11, S G S 11 のレベルは Vcc よりも昇圧してもよい。これにより、書き込みを行わないメモリセルのビット線、及び書き込みが不十分なメモリセルのビット線は放電され V R から Vss になる。

【0058】次いで、ワード線 WL121～WL181、選択ゲート線 S G D11, S G S 11 が Vss に戻された後、比較制御信号 C O N1 が Vss から Vcc になり、センスアンプ兼データラッチ回路の書き込みデータと書き込み確認読出し後のビット線電位とを比較する。即ち、書き込みを行うメモリセルに関しては、書き込みデータノード V R Y11 (図 11) が Vss であるから、もしビット線が放電されて Vss になつていれば、それはメモリセルの書き込みが不十分であり、しきい値電圧が所望の電圧以上に正方向にシフトしなかつたことであるから、次の書き込みサイクルでもビット線が Vss が保たれる。そして、書き込みが十分に行われたメモリセルへビット線は放電されない。

【0059】従つて、次の書き込みサイクルでは、このビット線に関しては書き込みが行われない。また、最初から書き込みを行わないメモリセルに関しては、書き込みデータノード V R Y1 が Vcc であるから、ビット線は再び充電される。このとき、前書き込みサイクルで、十分に書き込みが行われたメモリセルのビット線及び最初から書き込みを行わないメモリセルのビット線は Vcc - V th まで充電される。V th は T r. 1 (図 11) のしきい値電圧である。

【0060】次いで、書き込み制御信号 B L C D1 が Vss から Vcc になり、ビット線の情報をセンスアンプ兼データラッチ回路に伝えると、即ち次の書き込みサイクルで書き込みを行うメモリセルに関してのみ、書き込みデータノード V R Y1 が Vss になる。

【0061】そして、全ての書き込みが終了したかの検知は、一括検知回路で判定される。即ち、一括検知リセット信号 R S T I N1 が Vss になり、書き込み用の一括制御信号 A P C O N1 が Vss から Vcc になると、一括検知読出し信号 S E N S E 1 にページ書き込みの情報が伝達される。即ち、もし S E N S E 1 が Vcc から Vss に放電された場合、書き込みノード V R Y1 が少なくとも 1 つ以上 V ss になつてゐることであり、書き込み動作が続行される。そして、全ての書き込みノード V R Y1 が Vcc になり、一括検知読出し信号 S E N S E 1 が放電されなくなった時に書き込み動作が終了する。

【0062】本実施例の説明では、書き込み動作及び書き込み確認読出し動作がサブアレイ A R Y₁ と A R Y_r とで

2回ずつ繰り返され、SENSEI, SENSErがV_{ss}に放電されなくなった時点で書き込みを終了している。【0063】さて、以上のようにサブアレイARY1で書き込み動作及び書き込み確認読出し動作が行われている間、サブアレイARYrでもこれらの動作が位相をずらして、時間的に並列して行われる。即ち、書き込みデータのページロードは、サブアレイARY1用のセンスアンプ兼データラッチ回路L A1l～L Anlにデータが書き込まれた後も、引き続きサブアレイARYr用のセンスアンプ兼データラッチ回路L A1r～L Anrに入出力バッファから入出力線I/O, I/OBを介してデータが書き込まれる。

【0064】そして、サブアレイARY1の場合と同様に、サブアレイARYrの全ビット線B L1r～B LnrはVccより高い中間電位VHにプリチャージ（予備充電）され、最後のn番目のセンスアンプ兼データラッチ回路L Anl, L Anrにデータが書き込まれた後、センスアンプ兼データラッチ回路に書き込まれているデータに応じてビット線が放電され、以上のように書き込み動作が順次行われる。その後のサブアレイARYrに関する確認読出しの順序動作等は、サブアレイARY1のそれと同一である。

【0065】このように本実施例によれば、NANDセルからなるアレイを2つのサブアレイARY1, AR Yrに分割し、一方のサブアレイで選択的に書き込み動作若しくは消去動作をしている間に、他方のサブアレイで選択的に書き込み確認読出し動作若しくは消去確認読出し動作を同時に行うことにより、第1の実施例と同様に、確認読出し動作を含めた合計の書き込み、消去時間を短縮させることができる。

【0066】なお、本発明は上述した各実施例に限定されるものではない。実施例ではメモリセルアレイを2つに分割した例で説明したが、3つ以上に分割してもよい。この場合、全てのサブアレイでデータ書き込み又は消去を同時にてもよいし、2つのサブアレイでデータ書き込み又は消去を同時にてもよい。要は、少なくとも2つのサブアレイで書き込み又は消去を同時にい、かつ一方のサブアレイと他方のサブアレイで書き込み動作又は消去動作と書き込み確認読出し動作又は消去確認読出し動作とのタイミングをずらせばよい。

【0067】また、メモリセルの構成は必ずしもFET MOS型に限るものではなく、電気的書換え可能な構成であればよい。さらに、複数のメモリセルを接続してメモリセルユニットを構成する場合、NAND型に限らず NOR型に適用することも可能である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0068】

【発明の効果】以上述べたように本発明によれば、メモリセルアレイを少なくとも2つに分割し、異なるサブア

レイで、書き込み動作又は消去動作と時間的に並列に書き込み確認読出し動作又は消去確認読出し動作と同時にいい、結果的に高速書き込み、消去が可能な不揮発性半導体記憶装置を得ることができる。

【0069】また、本発明によれば、データの書き換え（消去してから書き込みを行うこと）が短時間に行うことができ、SSF（ソリッドステートファイル）としての役目を十分に果たすだけではなく、出荷前のテスト時間が大幅に削減され、コストの低下につながる。

10 【図面の簡単な説明】

【図1】第1の実施例に係わる不揮発性半導体記憶装置のブロック構成図。

【図2】2つのサブアレイにおける書き込み動作と書き込み確認読出し動作とのタイミングのずれを説明するための図。

【図3】図1の不揮発性半導体記憶装置の矢視A-A'断面図。

【図4】図3の変形例を示す断面図。

20 【図5】サブアレイARY1内のNAND型メモリセルアレイのレイアウト図。

【図6】サブアレイARY1内のNAND型メモリセルアレイのレイアウト図。

【図7】サブアレイARY1内のNAND型メモリセルアレイのレイアウト図。

【図8】サブアレイARYr内のNAND型メモリセルアレイのレイアウト図。

【図9】サブアレイARYr内のNAND型メモリセルアレイのレイアウト図。

30 【図10】サブアレイARYr内のNAND型メモリセルアレイのレイアウト図。

【図11】サブアレイARY1側のカラム系のコア部の回路構成図。

【図12】サブアレイARYr側のロウデコーダ部の回路構成図。

【図13】第2の実施例における主要ノードの前半の動作タイミングを示す図。

【図14】第2の実施例における主要ノードの前半の動作タイミングを示す図。

40 【図15】第2の実施例における主要ノードの前半の動作タイミングを示す図。

【図16】第2の実施例における主要ノードの後半の動作タイミングを示す図。

【図17】第2の実施例における主要ノードの後半の動作タイミングを示す図。

【図18】第2の実施例における主要ノードの後半の動作タイミングを示す図。

【符号の説明】

M11l～Mnl, M11r～Mnr…メモリセル

B L1l～B Lnl, B L1r～B Lnr…ビット線

WL1l～WLnl, WL1r～WLnr…ワード線

15

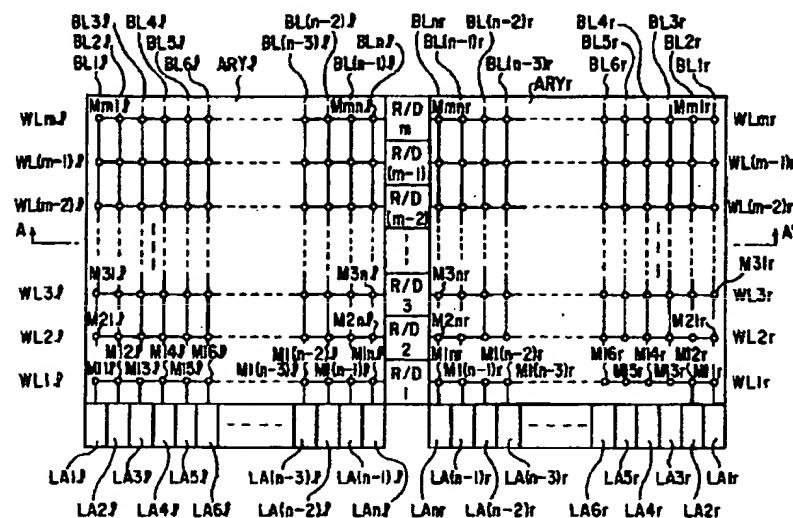
WL_{11l} ~ WL_{m8l}, WL_{11r} ~ WL_{m8r} …ワード線
 SG S_{1l} ~ SG S_{m1}, SG S_{1r} ~ SG S_{m1} …ソース側選択ゲート線
 SGD_{1l} ~ SGD_{m1}, SGD_{1r} ~ SGD_{m1} …ドレイン側選択ゲート線
 ARY_{1l}, ARY_{1r} …サブアレイ
 R/D_{1l} ~ R/D_{m1} …ロウデコーダ回路

16

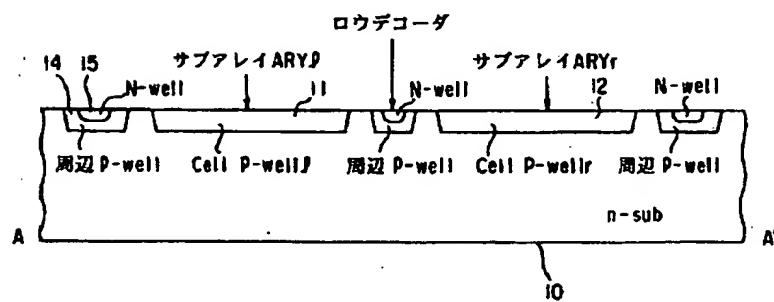
* L A_{1l} ~ L A_{n1}, L A_{1r} ~ L A_{n1} …センスアンプ兼データラッチ回路
 10 … n型半導体基板
 11, 12 … サブアレイ用のp型ウェル
 14 … 周辺回路用のp型ウェル
 15 … 周辺回路用のn型ウェル

*

【図1】

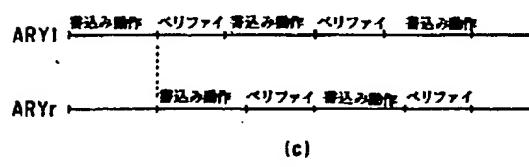
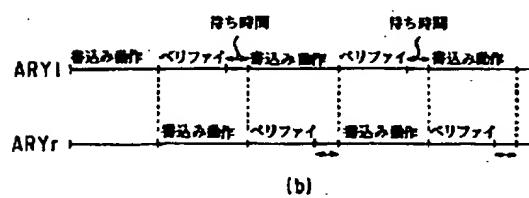
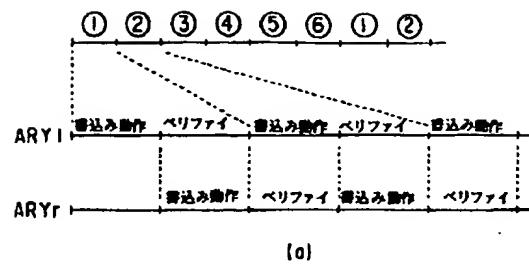


【図3】

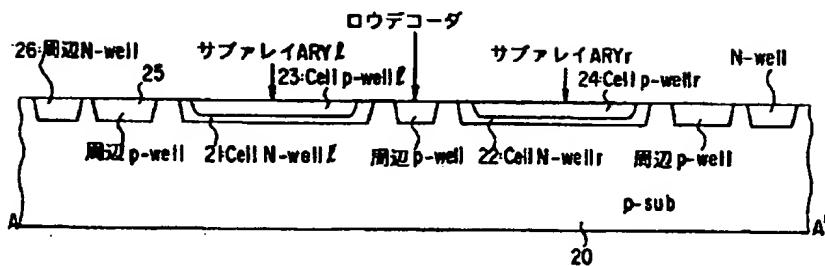


FH 008958

【図 2】

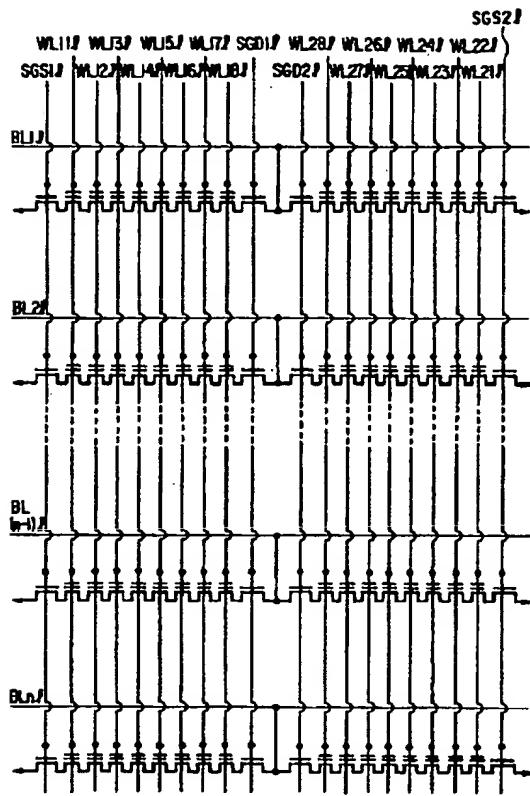


【図 4】

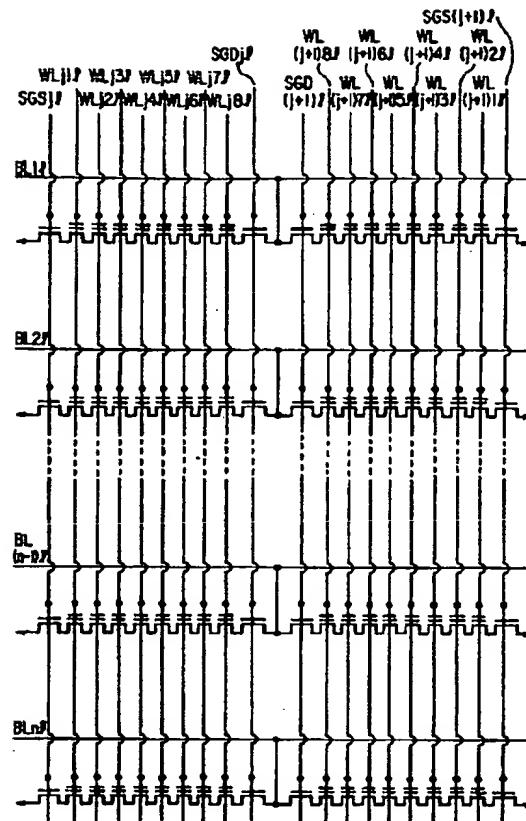


FH 008959

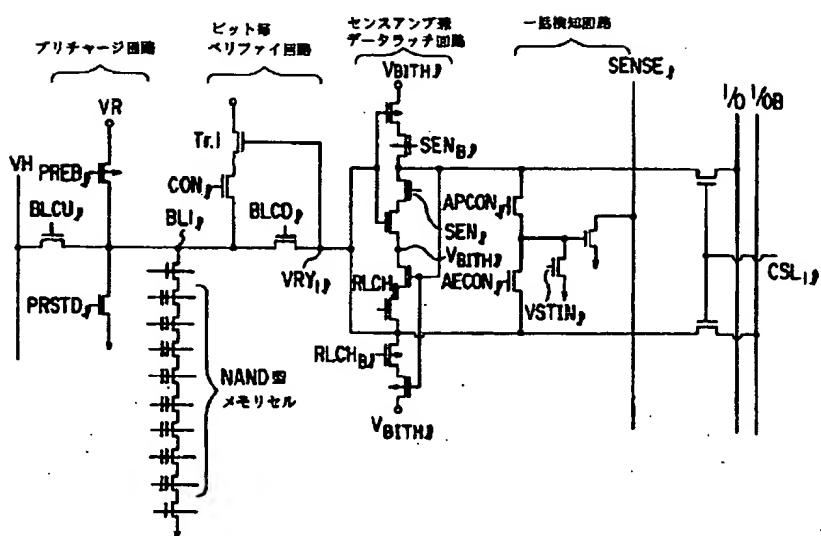
【図 5】



【図 6】

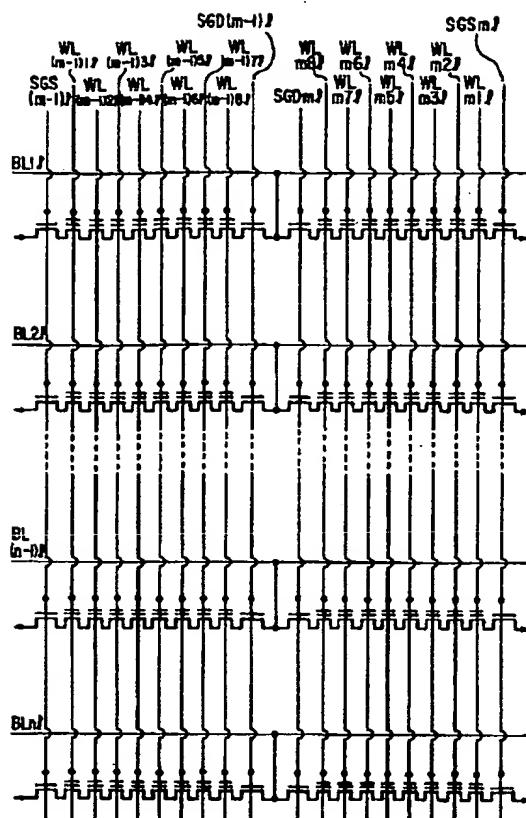


【図 11】

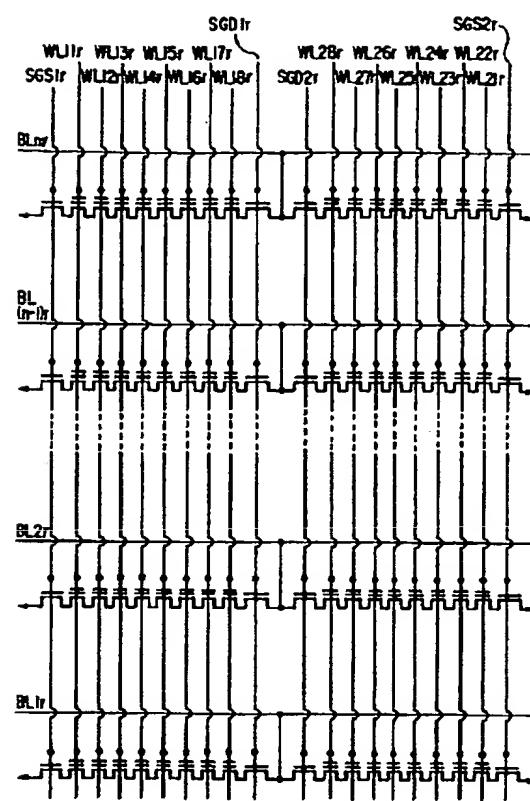


FH 008960

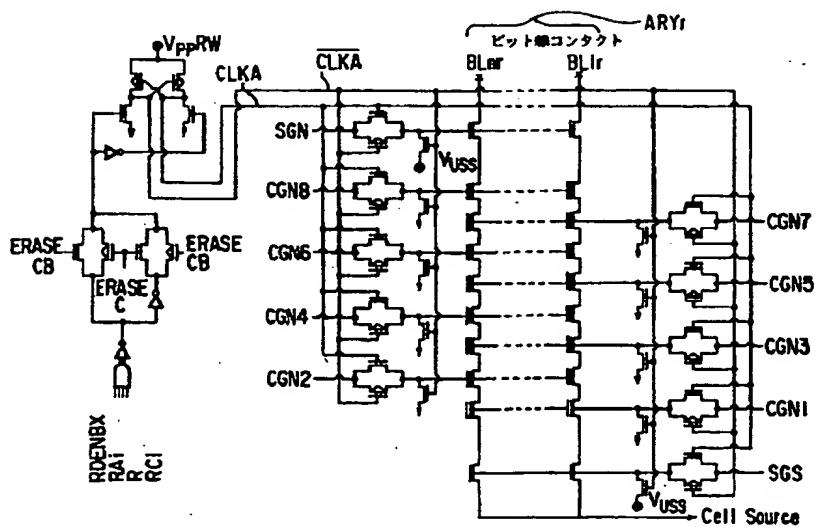
【図 7】



【図 8】

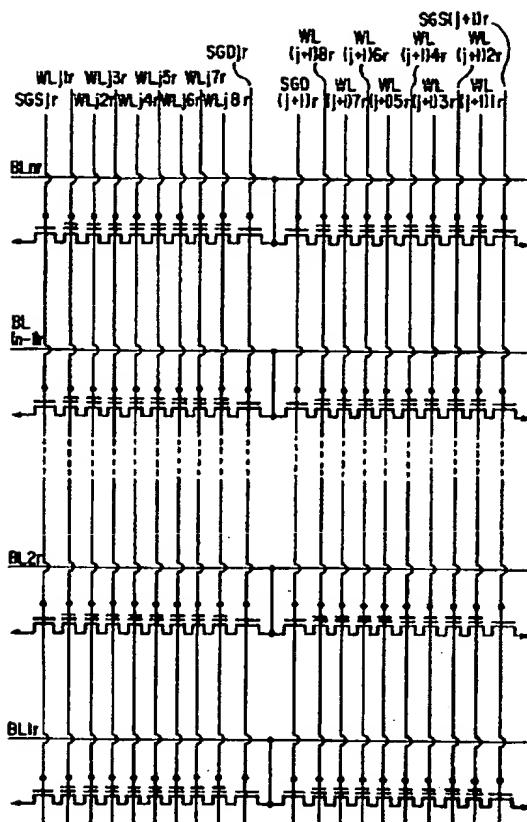


【図 12】

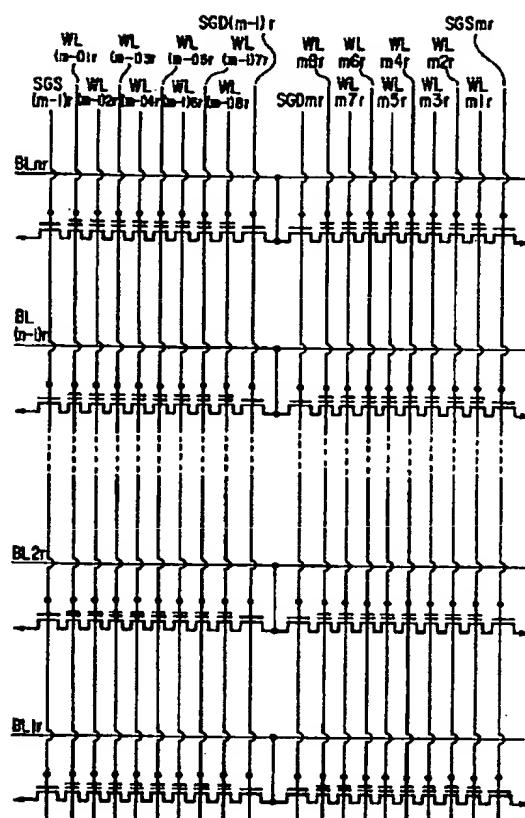


FH 008961

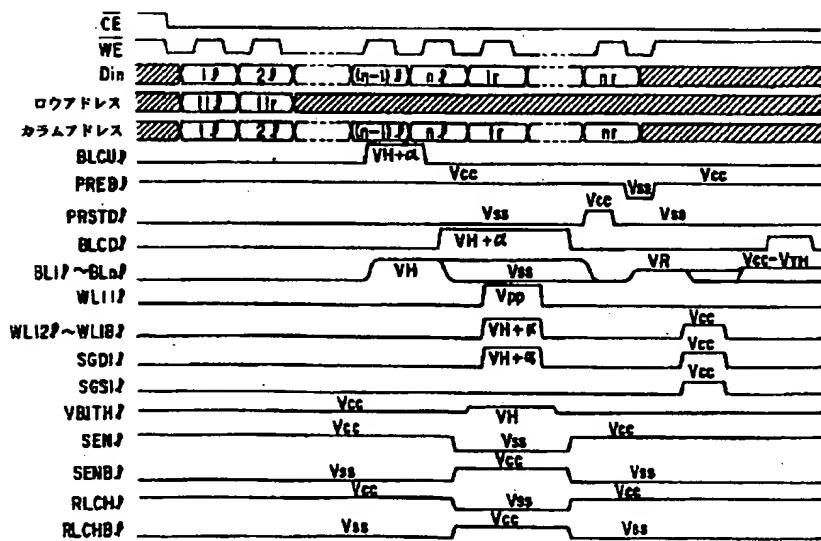
【図 9】



【図 10】

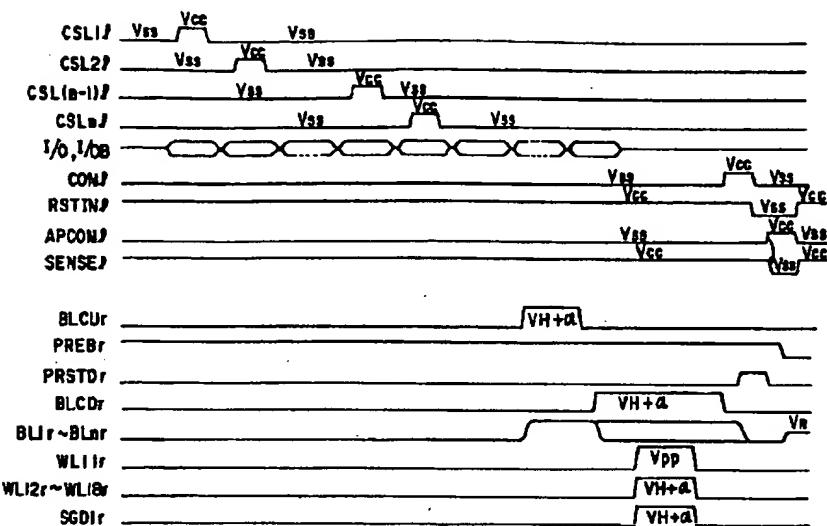


【図 13】

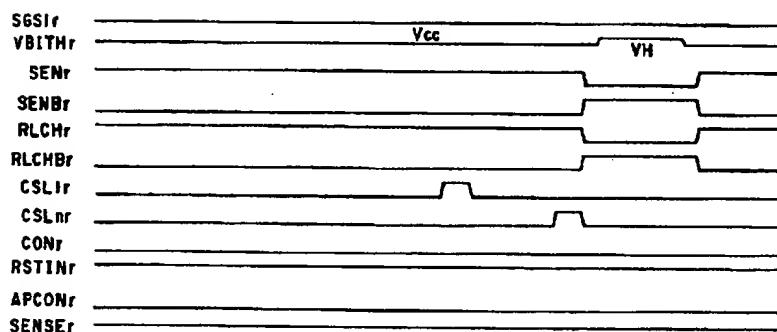


FH 008962

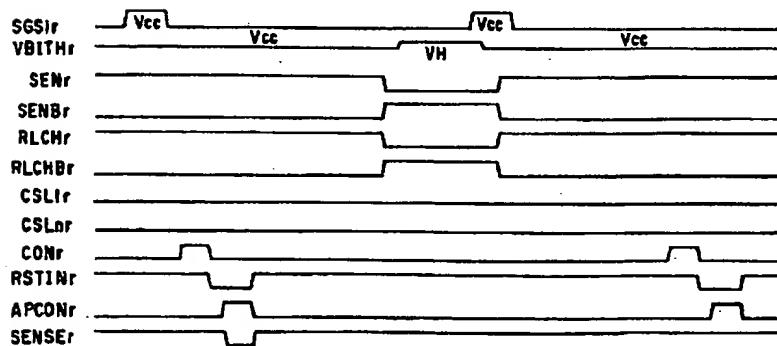
【図 1 4】



【図 1 5】

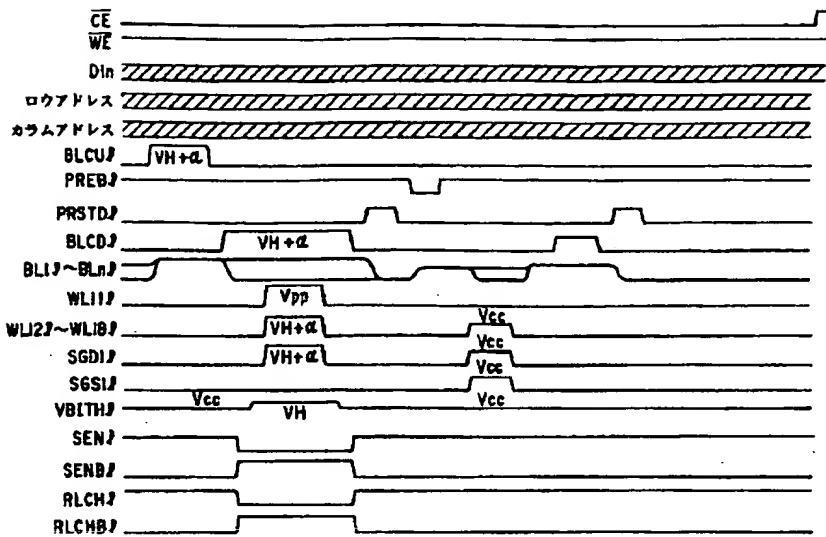


【図 1 8】

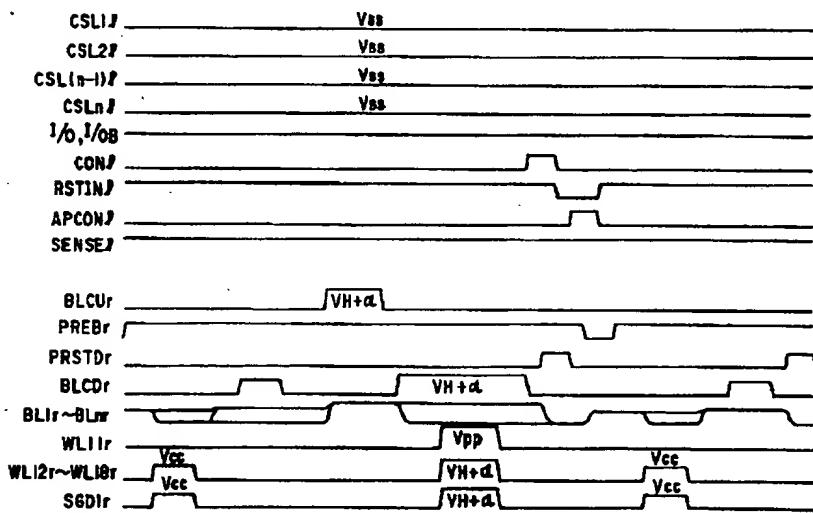


FH 008963

【図 16】



【図 17】



フロントページの続き

(72)発明者 外岡 富士雄
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

FH 008964

JAPANESE LAID-OPEN PATENT APPLICATION
H8-18018 (1996)

(19) Japan Patent Office (JP)
(12) Published Unexamined Patent Application (A)
(51) Int. Cl.⁶ Identification In-House FI Place of Technical
Code Reference No. Designation

H 01 L 27/115 H 01 L 27/10 434
G 11 C 16/06 G 11 C 17/00 309 Z
510 C

No examination request Number of claims 5 OL (totally 15 pages)

(21) Application No.	PA H6-147671
(22) Date of Filing	June 29, 1994 (Heisei 6)
(71) Applicant	000003078 Toshiba Corp. 72, Horikawa-cho, Saiwai-ku Kawasaki-shi, Kanagawa-ken Yasushi SAKUI Toshiba Corp. Research & Development Center 1, Toshiba-cho, Obuke, Saiwai-ku Kawasaki-shi, Kanagawa-ken
(72) Inventor	Takeshi TAKEUCHI Toshiba Corp. Research & Development Center 1, Toshiba-cho, Obuke, Saiwai-ku Kawasaki-shi, Kanagawa-ken
(72) Inventor	Kazunori OUCHI Toshiba Corp. Research & Development Center 1, Toshiba-cho, Obuke, Saiwai-ku Kawasaki-shi, Kanagawa-ken
(72) Inventor	Fujio MASUOKA Toshiba Corp. Research & Development Center 1, Toshiba-cho, Obuke, Saiwai-ku Kawasaki-shi, Kanagawa-ken
(74) Agent	Takehiko Suzue, Attorney

(54) [Title of the Invention]

NONVOLATILE SEMICONDUCTOR STORAGE

(57) [Abstract]

[Purpose]

To provide an EEPROM which accelerates a write confirmation read operation or a rise, fall of write pulses and an erasure confirmation read operation or a rise, fall of erasure pulses and enables high speed write and high speed erasure.

[Construction]

An EEPROM using electrically rewritable nonvolatile memory cells is characterized by the fact that a nonvolatile memory cell array formed on same chip is divided into two subarrays, data write to memory cells connected to same word line is simultaneously performed by the divided respective subarrays ARYI, ARYr and the data write operation is performed by one subarray while the write confirmation read operation is performed by the other subarray.

(Figure, p1, lower right)

[Claims]

[Claim 1]

A nonvolatile semiconductor storage, which is characterized by the fact that a nonvolatile memory cell array formed on same chip is divided into plural subarrays, the data write or erasure simultaneously is made by at least two of the divided plural subarrays, and the timing of data write or erasure of any subarray is shifted from the timing of data write or erasure of another subarray.

[Claim 2]

A nonvolatile semiconductor storage, which is characterized by the fact that a nonvolatile memory cell array formed on same chip is divided into two subarrays, the data write or erasure is simultaneously made by the divided respective subarrays, and the timing of data write or erasure of one subarray is shifted from the timing of data write or erasure of the other subarray.

[Claim 3]

A nonvolatile semiconductor storage according to Claim 1 or 2, which is characterized by the fact that the data write or erasure comprises plural times of data write operations or erasure operations and write confirmation read operations or erasure confirmation read operations succeeded thereby, and

the data write operations or erasure operations are performed in one subarray while the write confirmation read operations or erasure confirmation read operations are performed in the other subarray.

[Claim 4]

A nonvolatile semiconductor storage according to Claim 1 or 2, which is characterized by the fact that
the plural subarrays share a word line, and
the data write or erasure is simultaneously made for memory cells connected to same word line of the different subarrays.

[Claim 5]

A nonvolatile semiconductor storage according to Claim 1 or 2, which is characterized by the fact that
the nonvolatile semiconductor memory cells constructing the array are electrically rewritable non-volatile memory cells and are connected in series plural by plural to construct an NAND cell.

[Detailed Description of the Invention]

[0001]

[Field of Industrial Application]

This invention relates to an electrically rewritable non-volatile semiconductor storage, and particularly relates to an array divided non-volatile semiconductor storage.

[0002]

[Prior Art]

EEPROMs capable of electric rewrite have been known as electrically rewritable non-volatile semiconductor devices before. An NAND-type EEPROM in which plural memory cells are connected in series to construct an NAND cell block has been noticed as one capable of high integration among the EEPROMs.

[0003]

One memory cell of the NAND-type EEPROM has an FETMOS structure in which a float gate and a control gate are laminated on a semiconductor substrate via an insulating film, and plural memory cells are connected in series in the form of sharing sources and drains by adjoining the cells to each other to construct an NAND cell. Such NAND cells are matrix arrayed to construct a memory cell array.

[0004]

The drains on one end of the NAND cell lining up in the column direction of the memory cell array are connected in common to a bit line via selection gate transistors, respectively, and the sources on the other end of the NAND cells are connected to a common source line via selection gate transistors likewise. The control gates of memory transistors and the gate electrodes of selection gate transistors are connected in common as control gate lines (word lines) and selection gate lines in the row direction of the memory cell array, respectively.

[0005]

Operations of this NAND-type EEPROM are as follows. Data write is performed in order from memory cells far off bit lines. If a case that the transistors have n channels is illustrated, a high potential V_{pp} (e. g., 20 V) is applied to the control gates of selected memory cells, and an intermediate potential (e. g., 10 V) is applied to the control gates of non-selection memory cells and gates of selection gate transistors on the bit line side. 0 V (e. g., defined as "1" data) or an intermediate potential (e. g., defined as "0" data) is applied to the bit lines in accordance with the data. At this time, the potential of bit lines is transmitted to the drains of selected memory cells via the selection gate transistors and non-selection memory cells.

[0006]

When data to be written exist (at the time of "1" data), a high voltage is applied between the gates and drains of the selection memory cells or between the gates and substrate, and electrons are tunnel injected from the substrate to the float gates. Thereby, the threshold value of the memory cells shifts in the positive direction. When data to be written do not exist (at the time of "0" data), the threshold value does not change.

[0007]

At the time of data erasure, a high potential is applied to a p-type substrate (an n-type substrate and a p-type well formed therewith in the case of a well structure), and all the control gates and selection gate transistors are taken as 0 V. Thereby, electrons of the float gates are released to the substrate in all the memory cells, and the threshold value shifts in the negative direction.

[0008]

At the time of reading data, non-selection memory cells on the more bit line side than the selection gate transistors and the selection memory cells are turned ON, and 0 V is given to the gates of the selection memory cells. At this time, a discrimination of data "0", "1" is made by reading a current flowing in the bit lines.

[0009]

In such a conventional NAND-type EEPROM, usually, a write confirmation read operation and an

erasure confirmation read operation, i. e., so-called verification operations are performed after the write operation and erasure operation, respectively. For example, in the case of write operation of a 16 M-bit NAND-type EEPROM, plural times of write pulse are input into the control gates of the selection memory cells, and the write confirmation read operation is performed for each write pulse.

[0010]

More specifically, a high potential (e. g., 20 V) and an intermediate potential (e. g., 10 V) are necessary for the write operation as described above, the potentials are generated by a booster circuit in a chip, but 25 μ s is taken for the rise and fall of pulses of the high potential and intermediate potential. Moreover, the threshold voltage of the selection memory cells shifts in the positive direction in the write operation, but starting from a preliminary charge of the bit lines, the selection of control gates, sense amplifier operation, a series of read operations equivalent to random read operation are necessary to perform the write confirmation read operation, i. e., a discrimination of whether the threshold voltage comes into a target voltage region, and a time of 25 μ s is taken for these operations..

[0011]

Then, the time width of the write pulse is set to 20 μ s, when the write is made by 6 times of pulse, a time necessary for the write becomes

$$(25 + 20 + 25) \times 6 = 420 \mu\text{s}$$

Accordingly, 300 μ s being 71% of the total write is spent in the rise, fall of the high potential and intermediate potential and the write confirmation read operation, and the residual 120 μ s being only 29% becomes the total time of actual write pulse. In the case of erasure operation of the 16 M-bit NAND-type EEPROM, most of time is spent in the generation of erasure pulse and the write confirmation read operation.

[0012]

For example, at the time of multiblock erasure, 1 block, i. e., 1 NAND block of 512 bytes (4 K-bit) is taken as the smallest unit, and a simultaneous erasure of maximum 512 byte NAND blocks can be made. This erasure confirmation read operation is performed in a shorter time than the write confirmation read operation in relation to the discrimination of whether the threshold voltage comes into a target negative voltage region because the threshold voltage of the selection memory cells after the erasure shifts to the negative direction. This is because the memory cell current becomes greater in the discrimination of whether the threshold voltage after the erasure becomes 0 V or below than in the discrimination of whether the threshold voltage after the write comes into a range of, e. g., 0.5 V to 3 V and the bit lines precharged that much can be discharged at a high speed.

[0013]

However, the precharging of bit lines is also necessary at the beginning in the erasure confirmation

read operation, subsequently the control gate lines in the erased NAND blocks are selected to operate the sense amplifiers. This operation is different from the common random read operation in that all the control gate lines are selected in the erased NAND blocks, but this erasure confirmation read operation is equivalent to the common random read operation, and about 15 μ s is spent in the erasure confirmation read operation of 1 NAND block.

[0014]

Accordingly, times necessary for the multiblock erasure of all the 512 NAND blocks are 200 ns x 512 for the load of 512 NAND addresses, 200 μ s in the rise, fall of erasure pulses, 3 ms in the time width of erasure pulses and 15 μ s x 512 in the erasure confirmation read operation, and they become about 8 ms in total, and 5 ms being its 63% is spent in the erasure confirmation read operation other than actual erasure operation.

[0015]

Such write confirmation read operation and erasure confirmation read operation are not limited to the NAND-type EEPROM, and they are also essential operation modes performed in the conventional NOR-type EEPROM. Then, the proportion of the write confirmation read operation and the rise, fall of write pulses occupied in the total write time and the proportion of the erasure confirmation read operation and the rise, fall of erasure pulses occupied in the total erasure time are very large, thereby, the extension of the write time and erasure time becomes a problem not only in the NAND-type EEPROM but also the NOR-type EEPROM.

[0016]

The larger the capacity of the NAND-type EEPROM and the NOR-type EEPROM, the more the proportion of the write confirmation read operation and the rise, fall of write pulses occupied in the total write time and the proportion of the erasure confirmation read operation and the rise, fall of erasure pulses occupied in the total erasure time will increase. This is because the charge/discharge time of the control gates and bit lines prolongs and the write confirmation read and the erasure confirmation read slow down due to increases of the wire resistance and capacity of the control gate lines, the wire resistance and capacity of the bit lines and the capacity of well of memory cells as the NAND-type EEPROM and the NOR-type EEPROM become large-capacity. Moreover, this is because the times of rise, fall of write pulses and erasure pulses increase due to an increase of capacities of the control gate lines, bit lines and well of memory cells.

[0017]

[Problems overcome by the Invention]

As described above, in the conventional NAND-type EEPROM and the NOR-type EEPROM, the proportion of a time necessary for the write confirmation read operation (or the erasure confirmation read operation) and the rise, fall of write pulses (or erasure pulses) occupied in the total write time (or the total erasure time) increases, consequently there was a problem of impairing

the high-speed property of the write and erasure. The larger the capacity of the NAND-type EEPROM and the NOR-type EEPROM, the more remarkable this problem would be.

[0018]

This invention was made by considering the above circumstance, and its purpose consists in providing a nonvolatile semiconductor storage which accelerates a write confirmation read operation or a rise, fall of write pulses and an erasure confirmation read operation or a rise, fall of erasure pulses and enables high speed write and high speed erasure.

[0019]

[Problem resolution means]

To solve the above subject, a construction as follows is adopted in this invention. Namely, this invention is characterized by the fact that a nonvolatile memory cell array formed on same chip is divided into plural subarrays, the data write or erasure is simultaneously performed by at least two of the divided plural subarrays, and the timing of data write or erasure of any subarray is shifted from the timing of data write or erasure of another subarray in a nonvolatile semiconductor storage using rewritable nonvolatile memory cells.

[0020]

Here, the following embodiment forms are given as desirable ones of this invention.

(1) An array is divided into two subarrays, the data write or erasure is simultaneously made in the divided respective subarrays, and the timing of data write or erasure of one subarray is shifted from the timing of data write or erasure of the other subarray.

(2) The data write or erasure comprises plural times of data write operations or erasure operations and successively the write confirmation read operations or erasure confirmation read operations, and the data write operations or erasure operations are performed in one subarray while the write confirmation read operations or erasure confirmation read operations are performed in the other subarray.

(3) The first data write operation is started and successively the write confirmation read operation is started after the data write operation by one subarray, simultaneously, the first data write operation is started and successively the write confirmation read operation is started after the data write operation is ended by the other subarray and, simultaneously, the next data write operation is started by the one subarray.

(4) When a time taken for the write operation or the erasure operation is longer than a time taken for the write confirmation read operation or the erasure confirmation read operation, after the end of the write confirmation read operation of one subarray, the subarray waits until the write operation of the other subarray is ended, then the write operation of the one subarray and the write confirmation

read operation of the other subarray are simultaneously started.

(5) When a time taken for the write confirmation read operation or the erasure confirmation read operation is longer than a time taken for the write operation or the erasure operation, after the end of the write operation of one subarray, the subarray waits until the write confirmation read operation of the other subarray is ended, then the write confirmation read operation of one subarray and the write operation of the other subarray are simultaneously started.

(6) The data write or erasure is simultaneously made for memory cells connected to different word lines of different subarrays.

(7) The data write or erasure is simultaneously made for memory cells connected to the same word line shared by plural different subarrays.

(8) The nonvolatile semiconductor memory cells forming an array are electrically rewritable non-volatile memory cells, and they are connected in series plural by plural to construct an NAND cell.

[0021]

[Functions]

According to this invention, the total write and erasure time, including the time of confirmation read operations, can be shortened by dividing a memory cell array into at least two subarrays, simultaneously making the write operation or the erasure operation selectively by a part of memory cells in some divided subarray while making the write confirmation read operation or the erasure confirmation read operation selectively by a part of memory cells in another subarray, reducing the capacity and resistance of control gate lines and bit lines based on array division and simultaneously making the write operation or the erasure operation and the write confirmation read operation or the erasure confirmation read operation alternately by the subarrays.

[0022]

For example, when a memory cell array of the 16 M-bit NAND-type EEPROM is divided into two subarrays A, B and the write confirmation read operation or the erasure confirmation read operation are performed simultaneously and alternately, the rise and fall of pulses of high potential and intermediate potential for write is shortened to 12.5 μ s and the write confirmation read operation is shortened to 15 μ s. This is due to the fact that both the resistance and capacity of control gates and the number of bit lines to be precharged are halved by dividing the memory cell array into two subarrays.

[0023]

When the time width of write pulse is set to 20 μ s and the write is made by 6 times of pulse, the time necessary for the write becomes

$$(12.5 + 20 + 15) \times 6 + 15 = 300 \mu\text{s}$$

and it is sharply shortened than before. Moreover, the addition of 15 μs in the second term of above expression is to deviate phases of the write operation and the write confirmation read operation by the subarray A and subarray B and finally perform the sixth write confirmation read operation by the subarray A or subarray B.

[0024]

The erasure is similarly accelerated, the time necessary for multiblock erasure of all 512 NAND blocks is 200 ns \times 512 for the load of 512 NAND addresses, 10 μs for the rise, fall of erasure pulses, 3 ms for time width of erasure pulses, 5 μs \times 512 for the erasure confirmation read operation and becomes about 5.76 ms in total, and the time is sharply shortened than before.

[0025]

[Embodiments]

Embodiments of this invention will be illustrated by reference to drawings below.

(Embodiment 1) Fig. 1 is a block diagram of a nonvolatile semiconductor storage with respect to Embodiment 1 of this invention. In Fig. 1, $M_{111} - M_{mn1}$, $M_{11r} - M_{mr}$, are memory cells, $LA_{11} - LA_{n1}$, $LA_{1r} - LA_{nr}$ are sense amplifier and data latch circuits, $R/D_1 - R/D_m$ are row decoders, $WL_{11} - WL_{m1}$, $WL_{1r} - WL_{mr}$ are word lines, and $ARY_1 - ARY_r$ are subarrays made by dividing a memory cell array.

[0026]

The purport of this invention consists in that a nonvolatile memory cell array formed on same chip is divided into at least two subarrays, the write confirmation read operation is performed by the subarray ARY_r while the write operation is performed by the subarray ARY_1 , and the write operation is performed by the subarray ARY_1 while the write confirmation read operation is performed by the subarray ARY_r .

[0027]

For example, a case of selecting a word line WL_{21} is considered. In this case, word lines WL_{21} and WL_{2r} can be simultaneously selected or can be independently selected with respect to the left and right subarrays ARY_1 and ARY_r sandwiched by row decoders $R/D_1 - R/D_m$ according to input addresses and control circuits. Here, a case that the word line WL_{21} in the subarray ARY_1 and the word line WL_{2r} in the subarray ARY_r are simultaneously selected will be illustrated.

[0028]

First, row addresses for selecting the word lines WL_{21} and WL_{2r} are input. Next, data to be written

are page loaded sequentially from the LA_{1l} into the sense amplifier and data latch circuits. Then, if the data are exactly loaded until LA_{nl} , the word line WL_{2l} is selected, and the data loaded in the sense amplifier and data latch circuits $LA_{1l} - LA_{nl}$ via bit lines $BL_{1l} - BL_{nl}$ are started to be written into the memory cells $M_{21l} - M_{2nl}$.

[0029]

The data to be loaded are also loaded into the sense amplifier and data latch circuit LA_{nl} and successively page loaded from LA_{1r} to LA_{nr} . Then, if the data are loaded until LA_{nr} , the word line WL_{2r} is selected, and the data loaded in the sense amplifier and data latch circuits $LA_{1r} - LA_{nr}$ via the bit lines $BL_{1r} - BL_{nr}$ are started to be written into the memory cells $M_{21r} - M_{2nr}$.

[0030]

The write confirmation read operation with respect to the word line WL_{2l} of the subarray ARYl is carried out in time-parallel to the write operation with respect to the word line WL_{2r} . This write confirmation read operation with respect to the word line WL_{2l} is performed after applying a prescribed time of write pulse, and whether the threshold voltage of written memory cells reaches a target value is determined.

[0031]

In this determination, a verification circuit is used for each bit provided in respective bit lines, and the data are housed in the sense amplifier and data latch circuits of bit lines connected to memory cells needed to be rewritten. Accordingly, the operation is different from the common read operation in that a verification circuit is used for each bit and corresponding data are housed in the sense amplifier and data latch circuits with respect to memory cells needed to be rewritten, but other operations are all the same as the common read operation.

[0032]

Namely, after a prescribed time of write pulses with respect to the word line WL_{2l} is applied, the word line WL_{2l} temporarily becomes a non-selection state, and then the bit lines $BL_{1l} - BL_{nl}$ are precharged. Next, the word line WL_{2l} is selected again. However, a voltage applied to the word line selected at this time is different from those in the write and read. Then, the data of memory cells $M_{21l} - M_{2nl}$ are read in the bit lines $BL_{1l} - BL_{nl}$, determined by the sense amplifier and data latch circuits and a verification circuit connected to for each bit and then housed in the sense amplifier and data latch circuits $LA_{1l} - LA_{nl}$ with respect to bits needed to be rewritten.

[0033]

The operations as described above are alternately repeated with respect to the word line WL_{2l} in the subarray ARYl and the word line WL_{2r} in the subarray ARYr. Namely, the write confirmation read operation is performed with respect to the word line WL_{2l} while the write operation is performed with respect to the word line WL_{2r} , next the write confirmation read operation is per-formed with

respect to the word line WL_{2r} while the write operation is performed with respect to the word line WL_{2l} . Then, when the threshold voltage of all memory cells performing the write in the selected memory cells $M_{21l} - M_{2nl}$ and $M_{21r} - M_{2nr}$ reaches a target value, the whole write operation is ended. [0034]

This state is shown in Fig. 2. Fig. 2(a) is a case wherein the time taken in the write operation and the time taken in the write confirmation read operation (verification) are equal, the first data write operation is started by the subarray ARYl and successively the write confirmation read operation is started after the data write operation is ended, simultaneously, the first data write operation is started by the subarray ARYr. Then, the write confirmation read operation is started by the subarray ARYr after the data write operation is ended, simultaneously, the next data write operation is started by the subarray ARYl. Namely, timings of the write operation and the write confirmation read operation are completely reversed by the subarray ARYl and the subarray ARYr.

[0035]

Fig. 2(b) is a case wherein the time taken in the write operation and the time taken in the write confirmation read operation are different (e. g., long write operation time). In this case, the subarray ARYl waits to start the next write operation until the write operation of the subarray ARYr is ended even if the write confirmation read operation is ended. This is the same with the subarray ARYr.

[0036]

If so, the waiting time from the write confirmation read operation to the next write operation is in vain, but the subarray ARYl and the subarray ARYr do not perform the write operation simultaneously. The boosting becomes necessary in the write operation and the necessity of simultaneous boosting in the both word lines connects with a load increase of the boosting circuit, but this problem can be avoided if do as Fig. 2(b).

[0037]

In the case of short write operation time, in contrast with Fig. 2(b), the subarray had better wait to start the write confirmation read operation until one write confirmation read operation is ended even if the other write operation is ended. When this does not become a problem even if the load of boosting circuit increases, as shown in Fig. 2(c), the waiting time is eliminated and the data writing can be further accelerated.

[0038]

Next, a case wherein the subarray ARYr performs the write confirmation read operation in the erasure operation of the subarray ARYl will be illustrated. Fig. 3 is an arrowed A-A' sectional view of the nonvolatile semiconductor storage shown in Fig. 1. For example, a case wherein p-type wells 11, 12 (cell p-well₁, cell p-well₂) for subarray ARYl, subarray ARYr, p-type wells 14 (peri-ipheral p-well) for row decoders, sense amplifier and data latch circuits other than memory cells are formed on the surface of an n-type semiconductor substrate 10 (n-sub) will be illustrated. n-Type wells 26

(n-wells) for constructing a peripheral circuit with CMOS may be provided in the peri-pherl p-wells 14.

[0039]

Fig. 4 is a sectional view in case of using a p-type semiconductor substrate. A case wherein p-wells 21, 22 (cell n-well₁, cell n-well_r), p-wells 23, 24 (cell p-well₁, p-well_r) in respective n-type wells, p-type well 25 (peripheral p-well) for row decoders, sense amplifier and data latch circuits except for memory cells are formed on the surface of a p-type semiconductor substrate 20 (p-sub) will be illustrated. n-Type wells 26 (n-wells) for constructing a peripheral circuit with CMOS may be provided in the peripheral p-wells 25.

[0040]

In the case of such a p-type semiconductor substrate, the n-type well 21 or 22 and the p-type well 23 or 24 between the subarrays are made to high-voltage in performing the write operation without making the p-type semiconductor substrate 20 to a high voltage in the erasure operation.

[0041] Here, a case wherein a block erasure operation with respect to word lines WL₁₁ - WL_(m-2) other than WL_{(m-1)1} and WL_{m1} in the subarray ARY1 and word lines WL_{1r} - WL_{(m-2)r} other than WL_{(m-1)r} and WL_{mr} in the subarray ARY1 will be considered. In this case, the operation is started from the erasure operation of the subarray ARY1, then the semiconductor substrate 10, the p-well 11 for the ARY1 and the word lines of memory cells performing the erasure, namely, WL₁₁ - WL_(m-2) are made to a high voltage, the selection word line WL_{1r} - WL_{(m-2)r} are earthed, the memory cells M₁₁₁ - M_{(m-1)n1} are erased and their threshold voltages are shifted in the negative direction.

[0042]

Meanwhile, the read operation may also be performed by subarray ARYr without making the erasure operation. The erasure operation in the subarray ARY1 is started, after a lapse of some prescribed time, the erasure confirmation read operation is performed in the subarray ARY1. Namely, the bit lines BL₁₁ and BL_{m1} are precharged, and the erasure confirmation read operation is sequentially repeated from the word line WL_{1r} to WL_{(m-2)r} of the memory cells performing the erasure. The erasure operation is performed in the subarray ARYr in time-parallel to this erasure confirmation read operation in the subarray ARY1. Namely, WL_{(m-1)r} and WL_{mr} are made to a high voltage, the selection word line WL_{1r} - WL_{(m-2)r} are earthed, the memory cells M₁₁₁ - M_{(m-2)n1} are earthed, the memory cells (wrong word "subarrays" in original specification) M_{11r} - M_{(m-2)n} are erased and their threshold voltages are shifted in the negative direction.

[0043]

If the erasure is confirmed to be insufficient by the erasure confirmation read operation in the subarray ARY1, after the erasure operation in the subarray ARYr, the erasure in the subarray ARY1 is started again. In this case, the erasure operation can be performed only for the word lines of memory cells with insufficient erasure. The erasure confirmation read operation is performed in the subarray ARYr in time-parallel thereto.

[0044]

The erasure operation and the erasure confirmation read operation as described above are alternately repeated in the subarray ARYl and the subarray ARYr, when all the threshold voltages of the selected memory cells $M_{111} - M_{(m-2)n}$ and $M_{11r} - M_{(m-2)n}$ become lower than a target value, the whole erasure operation is ended.

[0045]

Thus, according to this embodiment, the memory cell is divided into two subarrays ARYl and the subarray ARYr, the write confirmation read operation or the erasure confirmation read operation is performed simultaneously and selectively by one subarray while the write operation or the erasure operation is performed by the other subarray. Then, the total write and erasure time, including the time of confirmation read operations, can be shortened by reducing the capacity and resistance of the control gate lines and bit lines based on the array division and performing the write operation or erasure operation and the write confirmation read operation or the erasure confirmation read operation simultaneously and alternately by the subarrays.

[0046]

That is, this invention enables to accelerate the write confirmation read operation and the rise, fall of write pulses and the erasure confirmation read operation and the rise, fall of erasure pulses and thereby realize high speed write and high speed erasure. Moreover, this invention enables to perform the rewrite of data (erasure and then write) in a short time, it not only fully plays a role as SSF (solid state file), but also sharply reduces the test time before shipment and connects with cost down.

(Embodiment 2)

Subsequently, an embodiment of applying this invention to an NAND-type EEPROM will be illustrated. The basic construction is same as the above Fig. 1, but memory cells are constructed by NAND cells in this embodiment.

[0047] Fig. 5 – Fig. 7 are layout diagrams of the NAND-type memory cells in a subarray ARYl, and Fig. 8 – Fig. 10 are layout diagrams of the NAND-type memory cells in a subarray ARYr. The memory cells in the subarrays have an FETMOS structure in which float gates and control gates are laminated on a semiconductor substrate via an insulating film and eight memory cells are connected in series in the form of sharing the sources and drains by adjoining them to each other to construct an NAND cell. Such NAND cells are matrix arrayed to construct a memory cell array.

[0048]

The drains lining up in the column direction of the memory cell array on one end of the NAND cell are connected in common to a bit line via selection gate transistors, and the sources on the other end are connected in common to a common source line likewise. Control gates of memory transistors

and gate electrodes of selection transistors are connected in common as control gate lines (word lines) and selection gate lines in the row direction of the memory cell array, respectively.

[0049]

Fig. 11 is a circuit diagram of a sense amplifier and data latch circuit, a verification circuit for each bit, a batch detecting circuit, a precharge circuit, etc. on the side of subarray ARYl of core of column system, and Fig. 12 is a row decoder circuit diagram on the side of subarray ARYr. These circuits do not directly relate to this invention and are same as in the conventional device.

[0050]

For example, a case wherein the write operation or the write confirmation read operation are alternately performed in time-parallel with respect to the word lines WL_{11} in the subarray ARYl and the word lines WL_{1r} in the subarray ARYr will be illustrated.

[0051]

Fig. 13 – Fig. 15 are timing charts of major nodes in the first half of operations, and Fig. 16 – Fig. 18 are timing charts of major nodes in the second half of operations. The write operation is started by making a chip enable/CE and a line enable WE from the “H” level to the “L” level. In this case, the write operation may also be started by taking a command for the write from the external of chip into an input/output pin I/O pin.

[0052]

At first, data are written from an input/output buffer into the sense amplifier and data latch circuits $LA_{11} - LA_{nl}$ for the subarray ARYl via input/output lines I/O, I/O_B . Serial data are sequentially written into the sense amplifier and data latch circuits in synchronism with column selection signals $CSL_{11}, CSL_{21}, \dots, CSL_{(n-1)}, CSL_{nl}$ by sequentially making the signals to the “H” level according to column addresses generated from a column address counter in a chip or input from the external as shown in Fig. 14.

[0053]

During the write of data into the sense amplifier and data latch circuits, a write precharge control signal $BLCU_1$ for the subarray ARYl is made from V_{ss} to $VH + \alpha$, and all the bit lines $BL_{11} - BL_{nl}$ of the subarray ARYl are precharged to an intermediate potential VH higher than the V_{ss} .

[0054]

After the data are written into the final nth sense amplifier and data latch circuit with respect to the subarray ARYl, the write control signal $BLCU_1$ is made from the V_{ss} to $VH + \alpha$, and the bit lines are discharged in accordance with the data written into the sense amplifier and data latch circuits.

Namely, the bit lines of memory cells performing the write are made to the V_{ss} (in case of “1” data) and the bit lines of memory cells not performing the write are kept at the intermediate potential VH (in case of “0” data).

[0055]

Subsequently, the selected word line WL_{11l} is made from the V_{ss} to a write potential V_{pp} , the other word lines $WL_{12l} - WL_{18l}$ and a selection gate line SGD_{1l} on the bit line contact side are made from the V_{ss} to $VH + \alpha$. At this time, electron injection (“1” write) is performed at the float gates by the memory cells made to the V_{ss} and connected to the bit lines.

[0056]

Next, the write confirmation read is made by the subarray $ARY1$. Namely, the bit lines are reset to the V_{ss} by making a bit line reset signal $PRSTD_1$ from the V_{ss} to V_{cc} , successively the bit lines $BL_{1l} - BL_{nl}$ are charged to a precharge potential V_R for read by making a bit line precharge signal $PREB_1$ from the V_{cc} to the V_{ss} .

[0057]

Subsequently, the selected word line WL_{11l} is kept to the V_{ss} , the other word lines $WL_{12l} - WL_{18l}$ in the same NAND-type cell block and the selection gate lines SGD_{1l}, SGS_{1l} on the bit line contact side and the memory cell source side are made from the V_{ss} to the V_{cc} . In this case, the levels of SGD_{1l}, SGS_{1l} may also be boosted to be higher than the V_{cc} . Thereby, the bit lines of memory cells not performing the write and the bit lines of memory cells with insufficient write are discharged from the V_R to the V_{ss} .

[0058]

Next, the other word lines $WL_{12l} - WL_{18l}$ and the selection gate lines SGD_{1l}, SGS_{1l} are returned to the V_{ss} , and the write data of the sense amplifier and data latch circuit and the bit line potential after the write confirmation read are compared by making a comparison control signal CON_1 from the V_{ss} to the V_{cc} . Namely, if the bit lines are discharged to the V_{ss} , the write of memory cells is insufficient with respect to the memory cells performing the write because a write data node VRY_{1l} (Fig. 11) is the V_{ss} , and the bit lines are also kept to the V_{ss} in the next write cycle because the threshold voltage is not shifted to a desirable voltage or above in the positive direction. Then, the bit lines are not discharged to the memory cells that do not fully perform the write.

[0059]

Accordingly, the write is not performed with respect to these bit lines in the next write cycle. Moreover, the bit lines are charged again with respect to the memory cells that do not perform the write from the beginning because the write data node VRY_{1l} (Fig. 11) is the V_{cc} . At this time, the bit lines of memory cells that fully perform the write and the bit lines of memory cells that perform the write from the beginning are charged to $V_{cc} - V_{th}$ in the precedent write cycle. The V_{th} is the

threshold voltage of Tr. 1 (Fig. 11).

[0060]

Next, the write control signal $BLCD_1$ is made from the V_{ss} to the V_{cc} and the information of bit lines is transmitted to the sense amplifier and data latch circuits, namely, the write data node VRY_{11} becomes the V_{ss} only with respect to memory cells that perform the write in the next write cycle.

[0061]

Then, whether the whole write is ended is determined by the batch detection circuit. Namely, if the batch detection reset signal $RSTIN_1$ is made to the V_{ss} and the batch control signal $APCON_1$ is made from the V_{ss} to the V_{cc} , the condition of page write is transmitted to the batch detection read signal $SENSE_1$. Namely, if the $SENSE_1$ is discharged from the V_{cc} to the V_{ss} , one or more write nodes VRY_1 become the V_{ss} and the write operation is continued. Then, all the write nodes VRY_1 become the V_{cc} , and the write operation is ended when no batch detection read signal $SENSE_1$ is discharged.

[0062]

In the description of this embodiment, the write operation and the write confirmation read operation are repeated twice by twice by the subarrays ARY_1 and the ARY_r , and the write is ended at the time that no $SENSE_1$, $SENSE_r$ are discharged to the V_{ss} .

[0063]

As described above, these operations are also performed by the subarray ARY_r by shifting the phase in time-parallel while they are performed by the subarray ARY_1 . Namely, for the page load of write data, after the data are written into the sense amplifier and data latch circuits $LA_{11} - LA_{n1}$ for the subarray ARY_1 , the data are also written from the input/output buffer into the sense amplifier and data latch circuits $LA_{r1} - LA_{nr}$ for the subarray ARY_r via the input/output lines $I/O, I/O_B$.

[0064]

Then, as in the case of the subarray ARY_1 , all the bit lines BL_{11} and BL_{n1} of the ARY_r are precharged to the intermediate potential VH higher than the V_{cc} , after the data are written into the final n th sense amplifier and data latch circuits, the bit lines are discharged in accordance with the data written into the sense amplifier and data latch circuit, the write operations are sequentially performed as described above. The sequential operations of confirmation read, etc. with respect to the subsequent subarray ARY_r are same as those of the subarray ARY_1 .

[0065]

Thus, like Embodiment 1, this embodiment enables to shorten the total write and erasure time, including the time of confirmation read operations, by dividing an array composed of NAND-type

cells into two subarrays ARYl, subarray ARYr and simultaneously performing the write operation and the write confirmation read operation by one subarray while selectively performing the write operation or the erasure operation by the other subarray.

[0066]

Moreover, this invention is not limited to the aforesaid embodiments. This invention was illustrated by an example wherein the memory cell array is divided into two subarrays, but the array may also be divided into three or more subarrays. In this case, the data write or erasure may be simultaneously made by all the subarrays or may be made by two subarrays. In short, the data write or erasure may be simultaneously made by at least two subarrays, and timings of the write operation or the erasure operation and the write confirmation read operation or the erasure confirmation read operation had better be shifted by the one subarray and the other subarray.

[0067]

Furthermore, the construction of the memory cells is not necessarily limited to the FETMOS type, and it had better be an electrically rewritable construction. Still more, when plural memory cells are connected to construct a memory cell unit, it is not limited to the NAND type but can also be applied to the NOR type. Besides, this invention may be variously modified and embodied in a range where the purport of this invention is not deviated.

[0068]

[Efficacy of the Invention]

As described above, this invention enables to divide a memory cell array into at least two subarrays, simultaneously perform the write confirmation read operation and the erasure confirmation read operation in time-parallel to the write operation or the erasure operation and consequently gives a nonvolatile semiconductor storage capable of high speed write and erasure.

[0069]

Moreover, this invention enables to make the data rewrite (erasure and then write) in a short time, it not only fully plays a role as SSF (solid state file), but also sharply reduces the test time before shipment and connects to the cost down.

[Brief Description of the Drawings]

- [Fig. 1] Block diagram of nonvolatile semiconductor storage with respect to Embodiment 1.
- [Fig. 2] Diagram for illustrating slippage of timings of write operation and write confirmation read operation in two subarrays.
- [Fig. 3] Arrowed A-A' sectional view of nonvolatile semiconductor storage of Fig. 1.
- [Fig. 4] Sectional view showing modification example of Fig. 3.
- [Fig. 5] Layout diagram of NAND-type memory cell array in subarray ARYl.
- [Fig. 6] Layout diagram of NAND-type memory cell array in subarray ARYl.
- [Fig. 7] Layout diagram of NAND-type memory cell array in subarray ARYr.
- [Fig. 8] Layout diagram of NAND-type memory cell array in subarray ARYr.
- [Fig. 9] Layout diagram of NAND-type memory cell array in subarray ARYr.
- [Fig. 10] Layout diagram of NAND-type memory cell array in subarray ARYr.
- [Fig. 11] Circuit block diagram of core of column system on subarray ARYl side.
- [Fig. 12] Circuit block diagram of row decoder on subarray ARYr side.
- [Fig. 13] Chart showing first half of operation timing of major nodes in Embodiment 2.
- [Fig. 14] Chart showing first half of operation timing of major nodes in Embodiment 2.
- [Fig. 15] Chart showing first half of operation timing of major nodes in Embodiment 2.
- [Fig. 16] Chart showing second half of operation timing of major nodes in Embodiment 2.
- [Fig. 17] Chart showing second half of operation timing of major nodes in Embodiment 2.
- [Fig. 18] Chart showing second half of operation timing of major nodes in Embodiment 2.

[Description of the Symbols]

M_{11l} - M_{mnl}, M_{11r} - M_{mnR} } memory cells
BL₁₁ - BL_{ml}, BL_{1r} - BL_{mr} } bit lines
WL₁₁ - WL_{ml}, WL_{1r} - WL_{mr} } word lines
WL_{11l} - WL_{m8l}, WL_{11r} - WL_{m8r} } word lines
SGS₁₁ - SGS_{ml}, SGS_{1r} - SGS_{mr} } selection gate lines on source side
SGD₁₁ - SGD_{ml}, SGD_{1r} - SGD_{mr} } selection gate lines on drain side
ARYl, ARYr } subarrays
R/D₁ - R/D_m } row decoder circuit
* LA₁₁ - LA_{ml}, LA_{1r} - LA_{mr} } sense amplifier and data latch circuits
10 } n-type semiconductor substrate
11, 12 } p-wells for subarrays
14 } p-well for peripheral circuit
15 } n-well for peripheral circuit

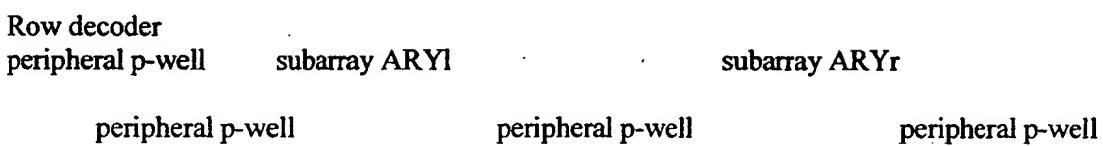
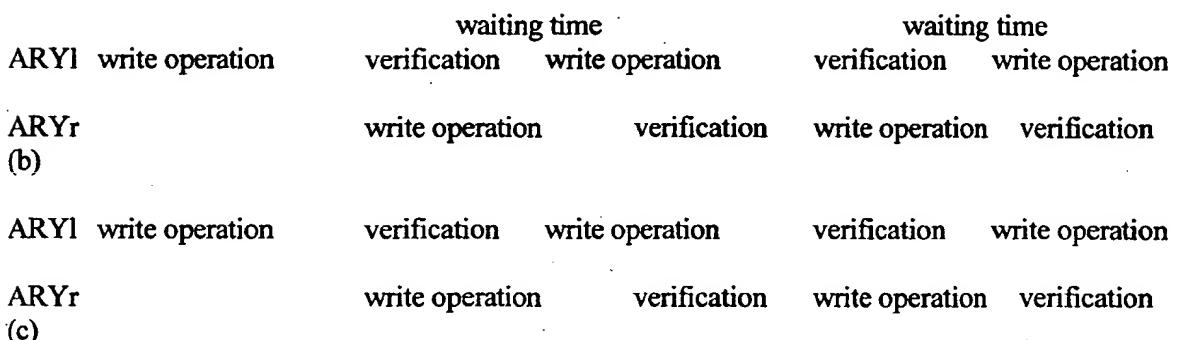
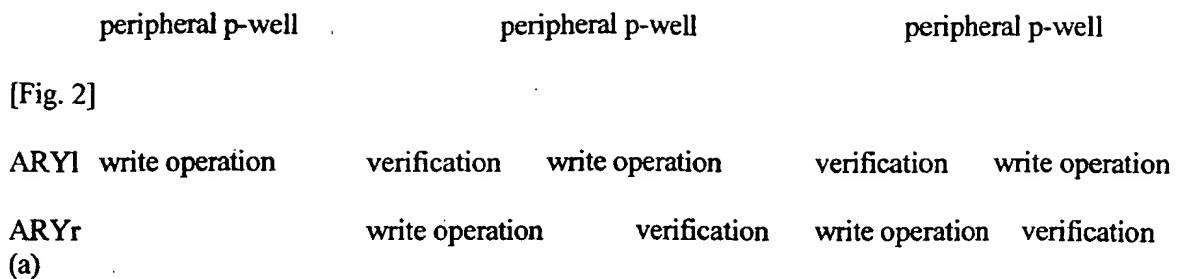
[Fig. 1]

[Fig. 3]

Row decoder

subarray ARYl

subarray ARYr



[Fig. 5]

[Fig. 6]

[Fig. 11]

precharge circuit	verification circuit for each bit	sense amplifier and data latch circuit	batch detection circuit
-------------------	--------------------------------------	---	----------------------------

NAND-type
memory cell

[Fig. 7]

[Fig. 8]

[Fig. 12]

bit line contact

[Fig. 13]

row address
column address
[Fig. 14]

[Fig. 15]

[Fig. 18]

[Fig. 16]

row address
column address

[Fig. 17]